

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Kyoung-Ho KANG, *et al.*

Art Unit: TBD

Appl. No.: To Be Assigned

Examiner: TBD

Filed: April 21, 2004

Atty. Docket: 6161.0139.US

**For: APPARATUS FOR EFFICIENTLY
DRIVING PLASMA DISPLAY PANEL
PERFORMING ADDRESS-DISPLAY MIXING
DRIVING SCHEME**

Claim For Priority Under 35 U.S.C. § 119 In Utility Application

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

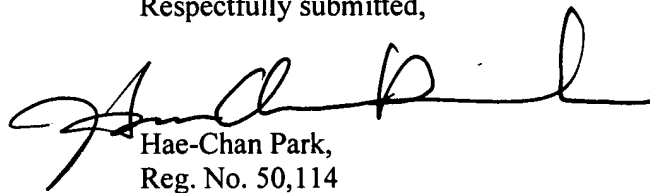
Sir:

Priority under 35 U.S.C. § 119 is hereby claimed to the following priority document(s), filed in a foreign country within twelve (12) months prior to the filing of the above-referenced United States utility patent application:

Country	Priority Document Appl. No.	Filing Date
KOREA	10-2003-0026003	April 24, 2003

A certified copy of Korean Patent Application No. 10-2003-0026003 is submitted herewith. Prompt acknowledgment of this claim and submission is respectfully requested.

Respectfully submitted,



Hae-Chan Park,
Reg. No. 50,114

Date: April 21, 2004

McGuireWoods LLP
1750 Tysons Boulevard, Suite 1800
McLean, VA 22102
Telephone No. 703-712-5365
Facsimile No. 703-712-5280

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0026003
Application Number

출원년월일 : 2003년 04월 24일
Date of Application
APR 24, 2003

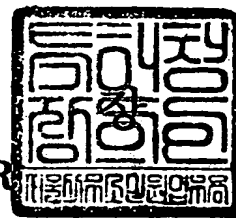
출원인 : 삼성에스디아이 주식회사
Applicant(s)
SAMSUNG SDI CO., LTD.



2003 07 30
 년 월 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0013
【제출일자】	2003.04.24
【국제특허분류】	G09G
【발명의 명칭】	어드레스 -디스플레이 혼합 구동 방법을 효율적으로 수행하는 플라즈마 디스플레이 패널의 구동 장치
【발명의 영문명칭】	Apparatus for driving a plasma display panel which effectively performs driving method of address-display mixing
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-050326-4
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-004535-8
【발명자】	
【성명의 국문표기】	강경호
【성명의 영문표기】	KANG,Kyoung Ho
【주민등록번호】	710301-1079822
【우편번호】	442-811
【주소】	경기도 수원시 팔달구 영통동 963-2 신나무실 신성아파트 521동 1002 호
【국적】	KR
【발명자】	
【성명의 국문표기】	유민선
【성명의 영문표기】	Y00,Min Sun
【주민등록번호】	650419-2052417

【우편번호】	330-190
【주소】	충청남도 천안시 청수동 L G S K 아파트 112동 402호
【국적】	KR
【발명자】	
【성명의 국문표기】	정우준
【성명의 영문표기】	JEONG, Woo Joon
【주민등록번호】	720509-1010435
【우편번호】	336-843
【주소】	충청남도 아산시 탕정면 호산1리 삼성 SDI 기숙사 홍익아파트 106동2 04호
【국적】	KR
【발명자】	
【성명의 국문표기】	최학기
【성명의 영문표기】	CHOI, Hak Ki
【주민등록번호】	701104-1068511
【우편번호】	330-300
【주소】	충청남도 천안시 성성동 500번지 우성아파트 105동 1301호
【국적】	KR
【발명자】	
【성명의 국문표기】	채승훈
【성명의 영문표기】	CHAE, Seung Hun
【주민등록번호】	710918-1850828
【우편번호】	442-738
【주소】	경기도 수원시 팔달구 영통동 청명마을4단지아파트 408동 601호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	45 면 45,000 원

1020030026003

출력 일자: 2003/7/31

【우선권주장료】	0	건	0	원
【심사청구료】	8	항	365,000	원
【합계】	439,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명에 따른 플라즈마 디스플레이 패널의 구동 장치는 영상 처리부, 제어부, 어드레스 구동부, X 구동부, 및 Y 구동부를 포함한다. 여기서, 플라즈마 디스플레이 패널의 XY 전극 라인쌍들이 복수의 XY 전극-라인쌍 그룹들로 할당되고, X 구동부 및 Y 구동부중에서 적어도 어느 하나가 복수의 XY 전극-라인쌍 그룹들에 대응되도록 복수의 구동 회로들을 가지고, 이 복수의 구동 회로들이 개별적으로 동작한다.

【대표도】

도 9

【명세서】**【발명의 명칭】**

어드레스-디스플레이 혼합 구동 방법을 효율적으로 수행하는 플라즈마 디스플레이 패널의 구동 장치{Apparatus for driving a plasma display panel which effectively performs driving method of address-display mixing}

【도면의 간단한 설명】

도 1은 통상적인 3-전극 면방전 방식의 플라즈마 디스플레이 패널의 구조를 보여주는 내부 사시도이다.

도 2는 도 1의 패널의 한 디스플레이 셀의 예를 보여주는 단면도이다.

도 3은 도 1의 플라즈마 디스플레이 패널의 통상적인 구동 장치를 보여주는 블록도이다.

도 4는 도 1의 플라즈마 디스플레이 패널의 Y 전극 라인들에 대한 어드레스-디스플레이 혼합(Address-Display Mixing) 구동 방법의 예를 보여주는 타이밍도이다.

도 5는 도 1의 플라즈마 디스플레이 패널의 Y 전극 라인들에 대한 어드레스-디스플레이 혼합 구동 방법의 또다른 예를 보여주는 타이밍도이다.

도 6은 도 5의 어드레스-디스플레이 혼합 구동 방법에 있어서 단위 서브-필드를 보다 상세히 보여주는 타이밍도이다.

도 7은, 도 3의 구동 장치에 있어서, 어드레스-디스플레이 분리(Address-Display Separation) 구동 방법을 수행하는 통상적인 구동 장치의 Y 구동부 및 X 구동부를 보여주는 블록도이다.

도 8은 도 7의 통상적인 구동 장치의 Y 구동부의 주사 구동 회로 및 스위칭 출력 회로를 보여주는 도면이다.

도 9는, 도 3의 구동 장치에 있어서, 본 발명의 제1 실시예의 구동 장치의 Y 구동부 및 X 구동부를 보여주는 블록도이다.

도 10은 도 9의 Y 구동부의 어느 한 주사/유지 회로의 내부 구성을 보여주는 블록도이다.

도 11은 도 10의 주사/유지 회로의 주사 회로의 내부 구성을 보여주는 회로도이다.

도 12는 도 10의 주사/유지 회로의 유지 회로의 내부 구성을 보여주는 회로도이다.

도 13은 도 9의 Y 구동부의 리셋 회로의 내부 구성을 보여주는 회로도이다.

도 14는 도 9의 X 구동부의 내부 구성을 보여주는 회로도이다.

도 15는 도 9의 구동 장치에 의하여 어드레스-디스플레이 혼합 구동을 수행하는 경우에 어느 한 서브-필드에서 각 전극 라인들에 인가되는 구동 신호들의 전압 파형들을 보여주는 타이밍도이다.

도 16a는 도 15의 리셋 주기에서 Y 전극 라인들에 점진적인 상승 전압이 인가된 직후 시점에서의 어느 한 디스플레이 셀의 벽전하 분포를 보여주는 단면도이다.

도 16b는 도 15의 리셋 주기의 종료 시점에서의 어느 한 디스플레이 셀의 벽전하 분포를 보여주는 단면도이다.

도 17은, 도 3의 구동 장치에 있어서, 본 발명의 제2 실시예의 구동 장치의 Y 구동부 및 X 구동부를 보여주는 블록도이다.

도 18은 도 17의 구동 장치에 의하여 어드레스-디스플레이 혼합 구동을 수행하는 경우에 어느 한 서브-필드에서 각 전극 라인들에 인가되는 구동 신호들의 전압 파형들을 보여주는 타이밍도이다.

도 19는, 도 3의 구동 장치에 있어서, 본 발명의 제3 실시예의 구동 장치의 Y 구동부 및 X 구동부를 보여주는 블록도이다.

도 20은 도 19의 구동 장치에 의하여 어드레스-디스플레이 혼합 구동을 수행하는 경우에 어느 한 서브-필드에서 각 전극 라인들에 인가되는 구동 신호들의 전압 파형들을 보여주는 타이밍도이다.

<도면의 주요 부분에 대한 부호의 설명>

- | | |
|--|--------------------------------|
| 1...플라즈마 디스플레이 패널, | 10...앞쪽 글라스 기판, |
| 11, 15...유전층, | 12...보호층, |
| 13...뒤쪽 글라스 기판, | 14...방전 공간, |
| 16...형광층, | 17...격벽, |
| X_1, \dots, X_n ...X 전극 라인들, | Y_1, \dots, Y_n ...Y 전극 라인들, |
| A_{R1}, \dots, A_{Bm} ...어드레스 전극 라인들, | X_{na}, Y_{na} ...투명 전극 라인들, |
| X_{nb}, Y_{nb} ...금속 전극 라인들, | SF_1, \dots, SF_5 ...서브-필드, |
| O_{Y1}, \dots, O_{Yn} ...Y 전극-라인 구동 신호들, | 62...논리 제어부, |
| O_X, O_{XG1}, O_{XG2} ...X 전극-라인 구동 신호들, | 63...어드레스 구동부, |
| $O_{AR1} \dots A_{Bm}$...디스플레이 데이터 신호들, | 64...X 구동부, |

65...Y 구동부, 66...영상 처리부,
 RSC...리셋/유지 회로, AC...주사 구동 회로,
 SIC...스위칭 출력 회로, R_{CX} , R_{CY} ...리셋 회로,
 SSC, SSC1, SSC2...주사/유지 회로, S_{CY} , S_{CX} , S_{CX1} , S_{CX2} ...유지 회로.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <37> 본 발명은, 플라즈마 디스플레이 패널의 구동 장치에 관한 것으로서, 보다 상세하게는, X 전극 라인들 및 Y 전극 라인들이 교대로 나란하게 배열되어 XY 전극 라인쌍들을 이루고 이 XY 전극 라인쌍들에 대하여 어드레스 전극 라인들이 교차되는 영역에서 디스플레이 셀들이 설정되는 3-전극 면방전 구조의 플라즈마 디스플레이 패널의 구동 장치에 관한 것이다.
- <38> 도 1은 통상적인 3-전극 면방전 방식의 플라즈마 디스플레이 패널의 구조를 보여준다. 도 2는 도 1의 패널의 한 디스플레이 셀의 예를 보여준다. 도 1 및 2를 참조하면, 통상적인 면방전 플라즈마 디스플레이 패널(1)의 앞쪽 및 뒤쪽 글라스 기판들(10, 13) 사이에는, 어드레스 전극 라인들(A_{R1} , A_{G1} , ..., A_{Gm} , A_{Bm}), 유전층(11, 15), Y 전극 라인들(Y_1 , ..., Y_n), X 전극 라인들(X_1 , ..., X_n), 형광층(16), 격벽(17) 및 보호층으로서의 일산화마그네슘(MgO)층(12)이 마련되어 있다.
- <39> 어드레스 전극 라인들(A_{R1} , A_{G1} , ..., A_{Gm} , A_{Bm})은 뒤쪽 글라스 기판(13)의 앞쪽에 일정한 패턴으로 형성된다. 아래쪽 유전층(15)은 어드레스 전극 라인들(A_{R1} , A_{G1} , ..., A_{Gm} , A_{Bm})의 앞쪽에서 전면(全面) 도포된다. 아래쪽 유전층(15)의 앞쪽에는 격벽(17)들이 어드레스 전극

라인들($A_{R1}, A_{G1}, \dots, A_{Gm}, A_{Bm}$)과 평행한 방향으로 형성된다. 이 격벽(17)들은 각 디스플레이 셀의 방전 영역을 구획하고 각 디스플레이 셀 사이의 광학적 간섭(cross talk)을 방지하는 기능을 한다. 형광층(16)은, 격벽(17)들 사이에서 형성된다.

<40> X 전극 라인들(X_1, \dots, X_n)과 Y 전극 라인들(Y_1, \dots, Y_n)은 어드레스 전극 라인들($A_{R1}, A_{G1}, \dots, A_{Gm}, A_{Bm}$)과 직교되도록 앞쪽 글라스 기판(10)의 뒤쪽에 일정한 패턴으로 형성된다. 각 교차점은 상응하는 디스플레이 셀을 설정한다. 각 X 전극 라인(X_1, \dots, X_n)과 각 Y 전극 라인(Y_1, \dots, Y_n)은 ITO(Indium Tin Oxide) 등과 같은 투명한 도전성 재료의 투명 전극 라인(도 2의 X_{na}, Y_{na})과 전도도를 높이기 위한 금속 전극 라인(도 2의 X_{nb}, Y_{nb})이 결합되어 형성된다. 앞쪽 유전층(11)은 X 전극 라인들(X_1, \dots, X_n)과 Y 전극 라인들(Y_1, \dots, Y_n)의 뒤쪽에 전면(全面) 도포되어 형성된다. 강한 전계로부터 패널(1)을 보호하기 위한 보호층(12) 예를 들어, 일산화마그네슘(MgO)층은 앞쪽 유전층(11)의 뒤쪽에 전면 도포되어 형성된다. 방전 공간(14)에는 플라즈마 형성용 가스가 밀봉된다.

<41> 이와 같은 플라즈마 디스플레이 패널에 기본적으로 적용되는 구동 방법에서는, 리셋(reset), 어드레스(address), 및 디스플레이-유지(display-sustain) 단계들이 단위 서브필드에 순차적으로 수행된다. 리셋 단계에서는 모든 디스플레이 셀들의 전하 상태들이 균일해진다. 어드레싱 단계에서는, 선택된 디스플레이 셀들에 소정의 벽전압이 생성된다. 디스플레이-유지 단계에서는, 모든 XY 전극 라인쌍들에 소정의 교류 전압이 인가됨으로써 어드레싱 단계에서 상기 벽전압이 형성된 디스플레이 셀들이 디스플레이-유지 방전을 일으킨다. 이 디스플레이-유지 단계에 있어서, 디스플레이-유지 방전을 일으키는 선택된 디스플레이 셀들의 방전 공간(14) 즉, 가스층에서 플라즈마가 형성되고, 그 자외선 방사에 의하여 형광층(도 1의 16)이 여기되어 빛이 발생된다.

<42> 도 3을 참조하면, 도 1의 플라즈마 디스플레이 패널(1)의 통상적인 구동 장치는 영상 처리부(66), 제어부(62), 어드레스 구동부(63), X 구동부(64) 및 Y 구동부(65)를 포함한다. 영상 처리부(66)는 외부 아날로그 영상 신호를 디지털 신호로 변환하여 내부 영상 신호 예를 들어, 각각 8 비트의 적색(R), 녹색(G) 및 청색(B) 영상 데이터, 클럭 신호, 수직 및 수평 동기 신호들을 발생시킨다. 제어부(62)는 영상 처리부(66)로부터의 내부 영상 신호에 따라 구동 제어 신호들(S_A , S_Y , S_X)을 발생시킨다. 어드레스 구동부(63)는, 제어부(62)로부터의 구동 제어 신호들(S_A , S_Y , S_X)중에서 어드레스 신호(S_A)를 처리하여 디스플레이 데이터 신호를 발생시키고, 발생된 디스플레이 데이터 신호를 어드레스 전극 라인들에 인가한다. X 구동부(64)는 제어부(62)로부터의 구동 제어 신호들(S_A , S_Y , S_X)중에서 X 구동 제어 신호(S_X)를 처리하여 X 전극 라인들에 인가한다. Y 구동부(65)는 제어부(62)로부터의 구동 제어 신호들(S_A , S_Y , S_X)중에서 Y 구동 제어 신호(S_Y)를 처리하여 Y 전극 라인들에 인가한다.

<43> 상기와 같은 플라즈마 디스플레이 패널(1)의 구동 장치에 의하여 수행되는 통상적인 구동 방법들에 있어서, 어드레스-디스플레이 분리(Address-Display Separation) 구동 방법을 들 수 있다(미국 특허 제5,541,618호 참조). 이 어드레스-디스플레이 분리 구동 방법에서는, 단위 프레임(frame)에 포함된 각 서브-필드(sub-field)에서 어드레싱 주기와 디스플레이-유지(display-sustain) 주기의 시간 영역들이 서로 분리되어 있다. 따라서, 어드레싱 주기에서 각 XY 전극 라인쌍이 자신의 어드레싱이 수행된 후에 다른 XY 전극 라인쌍들이 모두 어드레싱될 때까지 기다려야 한다. 이와 같이 어드레싱이 수행된 후의 대기 시간의 존재로 인하여 각 디스플레이 셀의 벽전하 상태가 흐트러져, 어드레싱 주기의 종료 시점에서 시작되는 디스플레이-유지 주기에서 디스플레이-유지 방전의 정확도가 떨어지는 문제점이 있다.

- <44> 상기의 어드레스-디스플레이 분리 구동 방법의 문제점을 개선하기 위한 구동 방법으로서 어드레스-디스플레이 혼합(Address-Display Mixing) 구동 방법이 고려될 수 있다.
- <45> 도 4는 도 1의 플라즈마 디스플레이 패널(1)의 Y 전극 라인들(Y_1 내지 Y_n)에 대한 어드레스-디스플레이 혼합(Address-Display Mixing) 구동 방법의 예를 보여준다. 도 4에서 참조 부호들 SF1 내지 SF5는 단위 프레임 안에서 각각 할당된 서브-필드들을, Y_1 내지 Y_n 은 구동 대상들의 기준이 되는 Y 전극 라인들을, R1 내지 R5는 리셋 주기들을, A1 내지 A5는 어드레싱 주기들을, MS1 내지 MS5는 혼합 디스플레이-유지 주기들을, CS1 내지 CS5는 공통 디스플레이-유지 주기들을, 그리고 AS1 내지 AS5는 보정 디스플레이-유지 주기들을 각각 가리킨다.
- <46> 도 1 및 4를 참조하면, 서브-필드들(SF1 내지 SF5) 각각은 리셋 주기(R1 내지 R5), 어드레싱 주기(A1 내지 A5), 혼합 디스플레이-유지 주기(MS1 내지 MS5), 공통 디스플레이-유지 주기(CS1 내지 CS5), 및 보정 디스플레이-유지 주기(AS1 내지 AS5)를 포함한다.
- <47> 리셋 주기(R1 내지 R5)에서는 모든 디스플레이 셀들의 전하 상태들이 균일해진다. 어드레싱 주기(A1 내지 A5)에서는, 선택된 디스플레이 셀들에 소정의 벽전압이 생성된다. 혼합 디스플레이-유지 주기(MS1 내지 MS5)에서는, 모든 XY 전극 라인쌍들에 소정의 교류 전압이 인가됨으로써 어드레싱 주기(A1 내지 A5)에서 선택되어 소정의 벽전압이 형성된 디스플레이 셀들이 디스플레이-유지 방전을 일으킨다.
- <48> 어드레싱 주기(A1 내지 A5)와 혼합 디스플레이-유지 주기(MS1 내지 MS5)는 동일한 시간 영역을 가진다. 따라서, 어드레싱 주기(A1 내지 A5)에서의 어드레싱 동작과 혼합 디스플레이-유지 주기(MS1 내지 MS5)에서의 디스플레이-유지 동작은 교호하게 이루어진다. 예를 들어, 제1 단위 시간에서 제1 Y 전극 라인(Y_1)의 디스플레이 셀들에 어드레싱이 수행되고, 제2 단위 시간에서 제1 XY 전극 라인쌍(X

Y_1)에 교류 전압이 인가되며, 제3 단위 시간에서 제2 Y 전극 라인(Y_2)의 디스플레이 셀들에 어드레싱이 수행되고, 제4 단위 시간에서 제1 및 제2 XY 전극 라인쌍들(X_1Y_1 , X_2Y_2)에 교류 전압이 인가되며, 제5 단위 시간에서 제3 Y 전극 라인(Y_3)의 디스플레이 셀들에 어드레싱이 수행되고, 제6 단위 시간에서 제1 내지 제3 XY 전극 라인쌍들(X_1Y_1 내지 X_3Y_3)에 교류 전압이 인가된다. 이와 같은 과정을 일반화하여 보면, 어드레싱 주기(A1 내지 A5) 및 혼합 디스플레이-유지 주기(MS1 내지 MS5)의 홀수번째 단위 시간마다 각각의 Y 전극 라인(Y_1 내지 Y_n)에 대하여 어드레싱 동작이 수행되고, 어드레싱 동작이 완료된 Y 전극 라인 또는 라인들에 대하여 짝수번째 단위 시간마다 디스플레이-유지 동작이 수행된다.

<49> 한편, 혼합 디스플레이-유지 주기(MS1 내지 MS5)만으로 모든 Y 전극 라인들(Y_1 내지 Y_n)에 대하여 필요 디스플레이-유지 시간이 채워질 수 없는 서브-필드의 경우, 공통 디스플레이-유지 주기(CS1 내지 CS5) 및 보정 디스플레이-유지 주기(AS1 내지 AS5)가 필요하다. 각 서브-필드의 필요 디스플레이-유지 시간에 따라 설정된 공통 디스플레이-유지 주기(CS1 내지 CS5)에서는, 모든 XY 전극 라인쌍들(X_1Y_1 내지 X_nY_n)에 교류 전압이 인가된다. 보정 디스플레이-유지 주기(AS1 내지 AS5)에서는, 각 서브-필드의 필요 디스플레이-유지 시간을 충족하지 못한 XY 전극 라인쌍들(X_1Y_1 내지 X_nY_n) 각각에 대하여 서로 다르게 설정된 시간 동안에 교류 전압이 인가됨으로써, 모든 Y 전극 라인들(Y_1 내지 Y_n)에 대하여 필요 디스플레이-유지 시간이 채워진다.

<50> 물론, 보다 짧은 필요 디스플레이-유지 시간이 적용되는 서브-필드의 경우(도 4의 경우에는 해당되는 서브-필드가 없음, 도 5의 SF1과 SF2가 해당됨), 공통 디스플레이-유지 주기(CS1 내지 CS5)가 추가되지 않고 보정 디스플레이-유지 주기(AS1 내지 AS5)만이 추가될 수 있다. 더 나아가, 혼합 디스플레이-유지 주기(MS1 내지 MS5)만으로 모든 Y 전극 라인들(Y_1 내지

Y_n)에 대하여 필요 디스플레이-유지 시간이 채워질 수 있는 매우 짧은 서브-필드의 경우(도 4 및 5의 경우에는 해당되는 서브-필드가 없음), 공통 디스플레이-유지 주기(CS1 내지 CS5) 및 보정 디스플레이-유지 주기(AS1 내지 AS5) 모두 다 추가되지 않는다.

<51> 도 5는 도 1의 플라즈마 디스플레이 패널(1)의 Y 전극 라인들(Y_1 내지 Y_n)에 대한 어드레스-디스플레이 혼합 구동 방법의 또다른 예를 보여준다. 도 5에서 도 4와 동일한 참조 부호는 동일한 기능의 대상을 가리킨다. 도 5에서 참조 부호 Y_{G1} 내지 Y_{G8} 은 Y 전극 라인들(Y_1 내지 Y_n)이 소속된 그룹들을 가리킨다. 예를 들어, Y 전극 라인들(Y_1 내지 Y_n)이 480 개인 경우, 제1 내지 제60 Y 전극 라인들(Y_1 내지 Y_{60})이 제1 Y 전극 그룹(Y_{G1})에, 제61 내지 제120 Y 전극 라인들(Y_{61} 내지 Y_{120})이 제2 Y 전극 그룹(Y_{G2})에, 제121 내지 제180 Y 전극 라인들(Y_{121} 내지 Y_{180})이 제3 Y 전극 그룹(Y_{G3})에, 제181 내지 제240 Y 전극 라인들(Y_{181} 내지 Y_{240})이 제4 Y 전극 그룹(Y_{G4})에, 제241 내지 제300 Y 전극 라인들(Y_{241} 내지 Y_{300})이 제5 Y 전극 그룹(Y_{G5})에, 제301 내지 제360 Y 전극 라인들(Y_{301} 내지 Y_{360})이 제6 Y 전극 그룹(Y_{G6})에, 제361 내지 제420 Y 전극 라인들(Y_{361} 내지 Y_{420})이 제7 Y 전극 그룹(Y_{G7})에, 그리고 제421 내지 제480 Y 전극 라인들(Y_{421} 내지 Y_{480})이 제8 Y 전극 그룹(Y_{G8})에 각각 소속된다.

<52> 도 1 및 5를 참조하면, 제1 및 제2 서브-필드들(SF1, SF2) 각각은 리셋 주기(R_1 , R_2), 어드레싱 주기(A_1 , A_2), 혼합 디스플레이-유지 주기(MS_1 , MS_2), 및 보정 디스플레이-유지 주기(AS_1 , AS_2)를 포함한다. 한편, 제3 내지 제5 서브-필드들(SF3 내지 SF5) 각각은 리셋 주기(R_3 내지 R_5), 어드레싱 주기(A_3 내지 A_5), 혼합 디스플레이-유지 주기(MS_3 내지 MS_5), 공통 디스플레이-유지 주기(CS_3 내지 CS_5), 및 보정 디스플레이-유지 주기(AS_3 내지 AS_5)를 포함한다. 도 4를 참조하여

설명되었던 바와 같이, 제1 및 제2 서브-필드들(SF1, SF2) 각각은 다른 서브-필드들(SF3 내지 SF5) 각각에 비하여 보다 짧은 필요 디스플레이-유지 시간이 적용되므로, 공통 디스플레이-유지 주기가 추가되지 않고 보정 디스플레이-유지 주기(AS1, AS2)만이 추가된다. 그밖에 도 4의 구동 방법과의 차이점은, 도 4의 구동 방법이 Y 전극 라인 단위로 적용됨에 반하여, 도 5의 구동 방법이 Y 전극 그룹 단위로 적용된다는 것이다.

<53> 도 6을 참조하여 도 5의 어드레스-디스플레이 혼합 구동 방법에서 제4 서브-필드(SF4)의 구동 과정을 예를 들어 상세히 설명하면 다음과 같다. 참고로, 도 6의 제4 서브-필드(SF4)의 경우, 모든 Y 전극 그룹들(Y_{G1} 내지 Y_{G8})에 대한 필요 디스플레이-유지 시간은 공통 디스플레이-유지 시간(CS4)에 8 개의 단위 시간들이 합쳐진 시간이다.

<54> 리셋 주기(R4)에서는 모든 디스플레이 셀들의 전하 상태들이 균일해진다.

<55> 서로 동일한 시간 영역(A4MS4)을 가진 어드레싱 주기(도 5의 A4)와 혼합 디스플레이-유지 주기(도 5의 MS4)에 있어서, 어드레싱 주기(A4)에서의 어드레싱 동작과 혼합 디스플레이-유지 주기(MS4)에서의 디스플레이-유지 동작은 교호하게 이루어진다. 예를 들어, 제1 단위 시간에서는 제1 Y 전극 그룹(Y_{G1})에 대한 어드레싱 단계(A_{G1})가 진행된다. 제2 단위 시간에서는 어드레싱이 완료된 제1 Y 전극 그룹(Y_{G1})에 대한 디스플레이-유지 단계(S_{11})가 진행된다. 제3 단위 시간에서는 제2

Y 전극 그룹(Y_{G2})에 대한 어드레싱 단계(A_{G2})가 진행된다. 제4 단위 시간에서는 어드레싱이 완료된 제1 및 제2 Y 전극 그룹들(Y_{G1} , Y_{G2})에 대한 디스플레이-유지 단계들(S_{12} , S_{21})이 동시에 진행된다. 제5 단위 시간에서는 제3 Y 전극 그룹(Y_{G3})에 대한 어드레싱 단계(A_{G3})가 진행된다. 제6 단위 시간에서는 어드레싱이 완료된 제1 내지 제3 Y 전극 그룹들(Y_{G1} 내지 Y_{G3})에 대한 디스플레이-유지 단계들(S_{13} , S_{22} , S_{31})이 동시에 진행된다. 이와 같은 과정을 일반화하여 보면, 서로 동일한 시간 영역($A4MS4$)을 가진 어드레싱 주기(도 5의 $A4$)와 혼합 디스플레이-유지 주기(도 5의 $MS4$)에 있어서, 홀수번째 단위 시간마다 각각의 Y 전극 그룹(Y_{G1} 내지 Y_{G8})에 대하여 어드레싱 동작이 수행되고, 어드레싱 동작이 완료된 Y 전극 그룹 또는 그룹들에 대하여 짝수번째 단위 시간마다 디스플레이-유지 동작이 수행된다.

<56> 제4 서브-필드($SF4$)의 필요 디스플레이-유지 시간에 따라 설정된 공통 디스플레이-유지 주기($CS4$)에서는, 모든 Y 전극 그룹들(Y_{G1} 내지 Y_{G8})에 대하여 디스플레이-유지 동작이 수행된다. 즉, 모든 XY 전극 라인쌍들(X_1Y_1 내지 X_nY_n)에 교류 전압이 인가된다.

<57> 보정 디스플레이-유지 주기($AS4$)에서는, 제4 서브-필드($SF4$)의 필요 디스플레이-유지 시간을 충족하지 못한 Y 전극 그룹들(Y_{G1} 내지 Y_{G8}) 각각에 대하여 서로 다르게 설정된 시간 동안에 교류 전압이 인가됨으로써, 모든 Y 전극 그룹들(Y_{G1} 내지 Y_{G8})에 대하여 필요 디스플레이-유지 시간이 채워진다. 보다 상세하게는, 보정 디스플레이-유지 주기($AS4$)의 제1 단위 시간에서는 제2 내지 제8 Y 전극 그룹들(Y_{G2} 내지 Y_{G8})에 대한 디스플레이-유지 단계들이 동시에 진행된다. 제2 단위 시간에서는 제3 내지 제8 Y 전극 그룹들(Y_{G3} 내지 Y_{G8})에 대한 디스플레이-유지 단계들이 동시에 진행된다. 제3 단위 시간에서는 제4 내지 제8 Y 전극 그룹들(Y_{G4} 내지 Y_{G8})에 대한 디스플레이-유지 단계들이 동시에 진행된다. 제4 단위 시간에서는 제5 내지 제8 Y 전극 그룹들(Y_{G5} 내지 Y_{G8})에 대한 디스플레이-유지 단계들이 동시에 진행된다.

G5 내지 Y_{G8})에 대한 디스플레이-유지 단계들이 동시에 진행된다. 제5 단위 시간에서는 제6 내지 제8 Y 전극 그룹들(Y_{G6} 내지 Y_{G8})에 대한 디스플레이-유지 단계들이 동시에 진행된다. 제6 단위 시간에서는 제7 및 제8 Y 전극 그룹들(Y_{G7} 및 Y_{G8})에 대한 디스플레이-유지 단계들이 동시에 진행된다. 마지막으로 제7 단위 시간에서는 제8 Y 전극 그룹(Y_{G8})에 대한 디스플레이-유지 단계가 진행된다.

<58> 도 7 및 8을 참조하면, 도 3의 구동 장치에 있어서, 어드레스-디스플레이 분리 (Address-Display Separation) 구동 방법을 수행하는 통상적인 구동 장치는 X 구동부(64) 및 Y 구동부(65) 모두가 통합적으로 동작한다. 이에 따라, X 구동부(64)는 단일 리셋 회로(RC_X) 및 단일 유지 회로(SC_X)를 포함하고, Y 구동부(65)는 단일 리셋/유지 회로(RSC) 및 단일 주사 회로(AC, SIC)를 포함한다.

<59> X 구동부(64)의 단일 리셋 회로(RC_X)는 리셋 주기에서 플라즈마 디스플레이 패널(1)의 모든 X 전극 라인들(X₁, ..., X_n)에 인가될 구동 신호들을 발생시킨다. X 구동부(64)의 단일 유지 회로(SC_X)는 디스플레이-유지 주기에서 모든 X 전극 라인들(X₁, ..., X_n)에 인가될 구동 신호들을 발생시킨다. X 구동부(64)의 다이오드(D1)는 단일 유지 회로(SC_X)의 출력이 리셋 회로(RC_X)의 출력에 영향을 미치지 못하게 한다.

<60> Y 구동부(65)의 단일 리셋/유지 회로(RSC)는 리셋 주기 및 디스플레이-유지 주기에서 Y 전극 라인들(Y₁, ..., Y_n)에 인가될 구동 신호들(0_{RS})을 발생시킨다. Y 구동부(65)의 단일 주사 회로(AC, SIC)는, 단일 주사 구동 회로(AC) 및 단일 스위칭 출력 회로(SIC)를 포함하여, 선택된 디스플레이 셀들에 소정의 벽전압을 생성하는 어드레싱 동작을 위하여 Y 전극 라인들에 순차적으로 주사 펄스를 인가한다. 단일 주사 회로(AC, SIC)의 주사 구동 회로(AC)는 어드레싱 주기에서 Y 전극 라인들(Y

$1, \dots, Y_n$)에 인가될 구동 신호들을 발생시킨다. 단일 주사 회로(AC, SIC)의 스위칭 출력 회로(SIC)에서는, 위쪽 트랜지스터들(YU_1, \dots, YU_n) 및 아래쪽 트랜지스터들(YL_1, \dots, YL_n)이 배열되어, 각 위쪽 트랜지스터 및 각 아래쪽 트랜지스터의 공통 출력 라인이 각각의 Y 전극 라인(Y_1, \dots, Y_n)에 대응되도록 연결되어 있다. 단일 리셋/유지 회로(RSC) 및 단일 주사 구동 회로(AC)의 출력은 공통 전원 라인들(PL_U, PL_L)을 통하여 단일 스위칭 출력 회로(SIC)의 모든 위쪽 트랜지스터들(YU_1, \dots, YU_n) 및 모든 아래쪽 트랜지스터들(YL_1, \dots, YL_n)에 인가된다.

<61> 도 8을 참조하여, 도 8의 Y 구동부(65)의 단일 주사 회로(AC, SIC)의 동작 과정을 살펴 보면 다음과 같다.

<62> 리셋 주기 및 디스플레이-유지 주기에 있어서, 리셋/유지 회로(RSC)로부터의 구동 신호들(O_{RS})은 주사 구동 회로(AC)의 A점, 스위칭 출력 회로(SIC)의 아래쪽 트랜지스터들(YL_1, \dots, YL_n)을 통하여 3-전극 플라즈마 디스플레이 패널(1)의 Y 전극 라인들에 인가된다. 이 경우, 주사 구동 회로(AC)의 모든 대전력 트랜지스터들($S_{SC1}, S_{SC2}, S_{SSP}, S_{SCL}$)이 턴 오프(turn off)된다. 또한, 리셋/유지 회로(RSC)로부터의 구동 신호들(O_{RS})은 주사 구동 회로(AC)의 A점, 제3 대전력 트랜지스터(S_{SP}) 및 스위칭 출력 회로(SIC)의 위쪽 트랜지스터들(YU_1, \dots, YU_n)을 통하여 3-전극 플라즈마 디스플레이 패널(1)의 Y 전극 라인들에 인가될 수 있다. 이 경우, 주사 구동 회로(AC)에서 대전력 트랜지스터(S_{SP})를 제외한 나머지 대전력 트랜지스터들($S_{SC1}, S_{SC2}, S_{SCL}$)이 턴 오프(turn off)된다.

<63> 어드레싱 주기에 있어서, 주사 구동 회로(AC)의 제3 대전력 트랜지스터(S_{SP})를 제외한 나머지 대전력 트랜지스터들($S_{SC1}, S_{SC2}, S_{SCL}$)이 턴 온(turn on)된다. 이

에 따라, 주사용 바이어스 전압(V_{SCAN})이 제1 및 제2 대전력 트랜지스터들(S_{SC1} , S_{SC2})을 통하여 스위칭 출력 회로(SIC)의 위쪽 트랜지스터들($YU1$, ..., YUn)에 인가된다. 또한, 접지 전압이 제4 대전력 트랜지스터(S_{SCL})를 통하여 스위칭 출력 회로(SIC)의 아래쪽 트랜지스터들($YL1$, ..., YLn)에 인가된다. 여기서, 주사될 한 Y 전극 라인에 연결된 아래쪽 트랜지스터가 턴 온(turn on)되고 위쪽 트랜지스터가 턴 오프(turn off)된다. 또한, 주사되지 않을 나머지 모든 Y 전극 라인들에 연결된 아래쪽 트랜지스터들이 턴 오프(turn off)되고 위쪽 트랜지스터들이 턴 온(turn on)된다. 이에 따라, 주사될 한 Y 전극 라인에는 주사용 접지 전압이 인가되고, 주사되지 않을 나머지 모든 Y 전극 라인들에는 주사용 바이어스 전압(V_{SCAN})이 인가된다.

<64> 어드레싱 주기(PA)에 있어서, 주사될 한 Y 전극 라인에 주사용 접지 전압이 인가되는 시점, 어드레스 전극 라인들(A_{R1} , ..., A_{Bm})에 디스플레이 데이터 신호가 인가되는 시점, 어드레스 전극 라인들(A_{R1} , ..., A_{Bm})에 디스플레이 데이터 신호의 인가가 종료되는 시점, 및 주사될 한 Y 전극 라인에 주사용 접지 전압이 인가됨이 종료되는 시점에서의 전류 통로들을 살펴보면 다음과 같다.

<65> 첫째, 주사될 한 Y 전극 라인에 주사용 접지 전압(V_G)이 인가되는 시점에서는, 주사될 한 Y 전극 라인에 연결된 디스플레이 셀들(전기적 캐패시터들)로부터 스위칭 출력 회로(SIC)의 한 아래쪽 트랜지스터 및 주사 구동 회로(AC)의 제4 대전력 트랜지스터(S_{SCL})를 통하여 접지 단자로 전류가 흐른다.

<66> 둘째, 어드레스 전극 라인들(A_{R1} , ..., A_{Bm})에 디스플레이 데이터 신호가 인가되는 시점에서는, 선택 전압이 인가된 어드레스 전극 라인들로부터 주사중인 한 Y 전극 라인으로 방전 전류가 흐를 뿐만 아니라, 주사되지 않은 나머지 모든 Y 전극 라인들, 스위칭 출력 회로(SIC)

의 위쪽 트랜지스터들, 주사 구동 회로(AC)의 제1 및 제2 대전력 트랜지스터들(S_{SC1} , S_{SC2})를 통하여 주사용 바이어스 전압(V_{SCAN})의 단자로 전류가 흐른다.

<67> 셋째, 어드레스 전극 라인들(A_{R1} , ..., A_{Bm})에 디스플레이 데이터 신호의 인가가 종료되는 시점에서는, 주사용 바이어스 전압(V_{SCAN})의 단자로부터 주사 구동 회로(AC)의 제1 및 제2 대전력 트랜지스터들(S_{SC1} , S_{SC2}), 스위칭 출력 회로(SIC)의 위쪽 트랜지스터들, Y 전극 라인들을 통하여 어드레스 전극 라인들(A_{R1} , ..., A_{Bm})로 전류가 흐른다.

<68> 그리고 넷째, 주사될 한 Y 전극 라인에 주사용 접지 전압(V_G)이 인가됨이 종료되는 시점에서는, 주사용 바이어스 전압(V_{SCAN})의 단자로부터 주사 구동 회로(AC)의 제1 및 제2 대전력 트랜지스터들(S_{SC1} , S_{SC2}), 스위칭 출력 회로(SIC)의 위쪽 트랜지스터들, Y 전극 라인들을 통하여 디스플레이 셀들(전기적 캐패시터들)로 전류가 흐른다.

<69> 따라서, 스위칭 출력 회로(SIC)의 위쪽 트랜지스터들의 공통 전원 라인과 주사용 바이어스 전압(V_{SCAN})의 단자 사이에는 스위칭을 위한 대전력 트랜지스터가 연결되어야 함을 알 수 있다. 여기서, 한 대전력 트랜지스터(S_{SC1} 또는 S_{SC2})만이 연결되는 경우 다음과 같은 문제점들이 발생하므로, 두 대전력 트랜지스터들(S_{SC1} 및 S_{SC2})이 필요하다.

<70> 첫째, 제2 대전력 트랜지스터(S_{SC2})만이 연결되는 경우, 리셋 주기(PR) 및 디스플레이-유지 주기(PS)에서 리셋/유지 회로(RSC)로부터의 구동 신호들(O_{RS})이 제2 대전력 트랜지스터(S_{SC2})의 내부 다이오드를 통하여 주사용 바이어스 전압(V_{SCAN})의 단자에 인가되어, 전류가 흐른다. 이에 따라, 리셋 주기(PR) 및 디스플레이-유지 주기(PS)에서의 구동이 불안정해지고 소비 전력이 높아진다.

- <71> 둘째, 제1 대전력 트랜지스터(S_{SC1})만이 연결되는 경우, 주사용 바이어스 전압(V_{SCAN})의 단자로부터의 예기치 않은 오버슈트(over-shoot) 펄스가 제1 대전력 트랜지스터(S_{SC1})의 내부 다이오드를 통하여 스위칭 출력 회로(SIC)의 모든 위쪽 트랜지스터들($YU1, \dots, YUn$)에 인가될 수 있다. 이에 따라 모든 주기에서의 구동이 불안정해질 수 있다.
- <72> 한편, 제3 대전력 트랜지스터(S_{SP})가 연결되지 않아 위쪽 및 아래쪽 공통 전원 라인들이 단순히 단절된 경우, 리셋 주기(PR) 및 디스플레이-유지 주기(PS)에서 단일 리셋/유지 회로(RSC)로부터의 구동 신호들(O_{RS})이 스위칭 출력 회로(SIC)의 모든 아래쪽 트랜지스터들($YL1, \dots, YLn$)을 통하여 모든 Y 전극 라인들(Y_1, \dots, Y_n)에 인가될 뿐만 아니라, 위쪽 트랜지스터들($YU1, \dots, YUn$)의 내부 다이오드들, 및 주사 구동 회로(AC)의 제2 대전력 트랜지스터(S_{SC2})의 내부 다이오드를 통하여 제1 대전력 트랜지스터(S_{SC1})에 인가된다. 이에 따라 제1 대전력 트랜지스터(S_{SC1})의 성능 및 수명이 짧아질 수 있다. 하지만, 제3 대전력 트랜지스터(S_{SP})가 있는 경우, 제3 대전력 트랜지스터(S_{SP})에서 소정의 전압이 강하되므로, 제1 대전력 트랜지스터(S_{SC1})에 인가되는 전압을 낮출 수 있다.
- <73> 상기와 같은 Y 구동부를 가진 통상적인 구동 장치에 의하면, 스위칭 출력 회로(SIC)의 모든 아래쪽 트랜지스터들($YL1, \dots, YLn$)이 턴-오프(turn off)되더라도, 리셋/유지 회로(RSC)로부터의 구동 신호들(O_{RS})이 아래쪽 공통 전원 라인 및 모든 아래쪽 트랜지스터들($YL1, \dots, YLn$)의 내부 다이오드들을 통하여 모든 Y 전극 라인들(Y_1, \dots, Y_n)에 인가된다. 따라서, 상기와 같은 Y 구동부를 가진 통상적인 구동 장치는 어드레스-디스플레이 분리(Address-Display Separation) 구동 방법을 수행할 수 있지만 어드레스-디스플레이 혼합(Address-Display Mixing) 구동 방법을 수행할 수 없다. 왜냐하면, 어드레스-디스플레이 혼합 구동 방법인 경우, 혼합 디스플레이-유지 주기(도 5의 MS1 내지 MS5) 및 보정 디스플레이-유지 주기(도 5의

AS1 내지 AS5)에서 XY 전극-라인쌍 그룹들 각각에 서로 다른 구동 신호들이 동시에 인가되어야 하기 때문이다.

【발명이 이루고자 하는 기술적 과제】

<74> 본 발명의 목적은, 플라즈마 디스플레이 패널의 구동 장치에 있어서, 어드레스-디스플레이 이 분리(Address-Display Separation) 구동 방법만이 아니라 어드레스-디스플레이 혼합(Address-Display Mixing) 구동 방법도 효율적으로 수행할 수 있는 구동 장치를 제공하는 것이다.

【발명의 구성 및 작용】

<75> 상기 목적을 이루기 위한 본 발명의 플라즈마 디스플레이 패널의 구동 장치는, 외부 아날로그 영상 신호를 디지털 신호로 변환하여 내부 영상 신호를 발생시키는 영상 처리부; 상기 영상 처리부로부터의 내부 영상 신호에 따라 구동 제어 신호들을 발생시키는 제어부; 상기 제어부로부터의 어드레스 신호를 처리하여 디스플레이 데이터 신호를 발생시키고, 발생된 디스플레이 데이터 신호를 어드레스 전극 라인들에 인가하는 어드레스 구동부; 상기 제어부로부터의 X 구동 제어 신호를 처리하여, 상기 어드레스 전극 라인들에 교차되게 배열된 X 전극 라인들에 인가하는 X 구동부; 및 상기 제어부로부터의 Y 구동 제어 신호를 처리하여, 상기 X 전극 라인들과 나란하게 XY 전극 라인쌍을 이루도록 배열된 Y 전극 라인들에 인가하는 Y 구동부를 포함한다. 여기서, 상기 XY 전극 라인쌍들이 복수의 XY 전극-라인쌍 그룹들로 할당되고, 상기 X 구동부 및 Y 구동부중에서 적어도 어느 하나가 상기 복수의 XY 전극-라인쌍 그룹들에 대응되도록 복수의 구동 회로들을 가지고, 상기 복수의 구동 회로들이 개별적으로 동작한다.

<76> 본 발명의 상기 플라즈마 디스플레이 패널의 구동 장치에 의하면, 상기 복수의 구동 회로들에 의하여 혼합 디스플레이-유지 주기 및 보정 디스플레이-유지 주기에서 XY 전극-라인쌍 그룹들 각각에 서로 다른 구동 신호들이 동시에 인가될 수 있다. 이에 따라 어드레스-디스플레이 혼합 구동 방법이 효율적으로 수행될 수 있다. 한편, 공통 디스플레이-유지 주기에서 상기 복수의 구동 회로들이 동일하게 동작할 수 있다. 이에 따라, 어드레스-디스플레이 혼합 구동 방법만이 아니라 어드레스-디스플레이 분리 구동 방법도 수행될 수 있다. 왜냐하면, 어드레스-디스플레이 분리 구동 방법이 적용되는 경우, 혼합 및 보정 디스플레이-유지 주기들이 존재하지 않고 공통 디스플레이-유지 주기만이 존재하기 때문이다.

<77> 이하, 본 발명에 따른 바람직한 실시예가 상세히 설명된다.

<78> 도 3 및 9 내지 11 참조하면, 본 발명의 제1 실시예의 구동 장치는 영상 처리부(66), 제어부(62), 어드레스 구동부(63), X 구동부(64) 및 Y 구동부(65)를 포함한다. 영상 처리부(66)는 외부 아날로그 영상 신호를 디지털 신호로 변환하여 내부 영상 신호 예를 들어, 각각 8 비트의 적색(R), 녹색(G) 및 청색(B) 영상 데이터, 클럭 신호, 수직 및 수평 동기 신호들을 발생시킨다. 제어부(62)는 영상 처리부(66)로부터의 내부 영상 신호에 따라 구동 제어 신호들(S_A , S_Y , S_X)을 발생시킨다. 어드레스 구동부(63)는, 제어부(62)로부터의 구동 제어 신호들(S_A , S_Y , S_X)중에서 어드레스 신호(S_A)를 처리하여 디스플레이 데이터 신호를 발생시키고, 발생된 디스플레이 데이터 신호를 어드레스 전극 라인들에 인가한다. X 구동부(64)는 제어부(62)로부터의 구동 제어 신호들(S_A , S_Y , S_X) 중에서 X 구동 제어 신호(S_X)를 처리하여 X 전극 라인들에 인가한다. Y 구동부(65)는 제어부(62)로부터의 구동 제어 신호들(S_A , S_Y , S_X)중에서 Y 구동 제어 신호(S_Y)를 처리하여 Y 전극 라인들(Y_1, \dots, Y_n)에 인가한다.

- <79> X 구동부(64)는 단일 리셋 회로(RC_X) 및 단일 유지 회로(SC_X)를 포함한다. X 구동부(64)의 단일 리셋 회로(RC_X)는 리셋 주기에서 Y 구동부(65)의 단일 리셋 회로와 함께 동작하여 플라즈마 디스플레이 패널(1)의 모든 X 전극 라인들(X_1, \dots, X_n)에 인가될 구동 신호들(O_X)을 발생시킨다. X 구동부(64)의 단일 유지 회로(SC_X)는 디스플레이-유지 주기에서 모든 X 전극 라인들(X_1, \dots, X_n)에 인가될 구동 신호들을 발생시킨다. X 구동부(64)의 다이오드(D)는 단일 유지 회로(SC_X)의 출력이 리셋 회로(RC_X)의 출력에 영향을 미치지 못하게 한다.
- <80> Y 구동부(65)는 리셋 회로(RC_Y), 제1 주사/유지 회로($SSC1$), 및 제2 주사/유지 회로($SSC2$)를 포함한다. 보다 상세하게는, 플라즈마 디스플레이 패널(1)의 XY 전극 라인쌍들이 제1 및 제2 XY 전극-라인쌍 그룹들로 할당되고, Y 구동부(65)가 제1 및 제2 XY 전극-라인쌍 그룹들에 대응되는 복수의 구동 회로들로서의 제1 및 제2 주사/유지 회로들($SSC1, SSC2$)을 포함한다.
- <81> Y 구동부(65)의 단일 리셋 회로(RC_Y)는, X 구동부(64)의 단일 리셋 회로(RC_X)와 함께 동작하여, 모든 디스플레이 셀들의 전하 상태들을 균일하게 하는 리셋 신호(O_R)를 발생시킨다. 이 리셋 신호(O_R)는 제1 및 제2 주사/유지 회로들($SSC1, SSC2$)을 통하여 모든 Y 전극 라인들(Y_1, \dots, Y_n)에 인가된다.
- <82> Y 구동부(65)의 제1 및 제2 주사/유지 회로들($SSC1, SSC2$) 각각은 유지 회로(SC_Y) 및 주사 회로(AC, SIC)를 포함한다. 주사 회로(AC, SIC)는 선택된 디스플레이 셀들에 소정의 벽전압을 생성하는 어드레싱 동작을 위하여 Y 전극 라인들에 순차적으로 주사 펄스를 인가한다. 유지 회로(SC_Y)는 상기 벽전압이 형성된 디스플레이 셀들이 소정 시간에 디스플레이-유지 방전을 일으키도록 Y 전극 라인들에 디스플레이-유지 펄스를 동시에 인가한다. Y 구동부(65)의 각

각의 유지 회로(SC_Y)로부터의 출력 신호(O_S)는 단일 리셋 회로(RC_Y)로부터의 출력 신호와 함께 주사 회로(AC, SIC)를 통하여 Y 전극 라인들에 인가된다.

<83> 어느 한 주사/유지 회로(SSC1)의 주사 회로(AC, SIC)는, 주사 구동 회로(AC) 및 스위칭 출력 회로(SIC)를 포함하여, 선택된 디스플레이 셀들에 소정의 벽전압을 생성하는 어드레싱 동작을 위하여 Y 전극 라인들에 순차적으로 주사 펄스를 인가한다. 주사 회로(AC, SIC)의 스위칭 출력 회로(SIC)에서는, 이 스위칭 출력 회로(SIC)와 상응하는 XY 전극-라인쌍 그룹의 Y 전극 라인들($Y_1, \dots, Y_{\frac{n}{2}}$)의 위쪽 트랜지스터들($YU_1, \dots, YU_{\frac{n}{2}}$) 및 아래쪽 트랜지스터들($YL_1, \dots, YL_{\frac{n}{2}}$)이 배열되어, 각 위쪽 트랜지스터 및 각 아래쪽 트랜지스터의 공통 출력 라인들이 각각의 Y 전극 라인($Y_1, \dots, Y_{\frac{n}{2}}$)에 대응되도록 연결되어 있다. 주사 회로(AC, SIC)의 주사 구동 회로(AC)는 어드레싱 주기에서 자신과 상응하는 XY 전극-라인쌍 그룹의 Y 전극 라인들($Y_1, \dots, Y_{\frac{n}{2}}$)에 인가될 구동 신호들을 발생시킨다. 즉, 주사 구동 회로(AC)는, 스위칭 출력 회로(SIC)의 모든 위쪽 트랜지스터들($YU_1, \dots, YU_{\frac{n}{2}}$)의 공통 전원 라인(PL_U)과 모든 아래쪽 트랜지스터들($YL_1, \dots, YL_{\frac{n}{2}}$)의 공통 전원 라인(PL_L)에 연결되어, 어드레싱 동작에서 주사되는 Y 전극 라인들에 주사 전압을 인가하고, 어드레싱 동작에서 주사되지 않는 Y 전극 라인들에 주사용 바이어스 전압을 인가한다.

<84> 도 15는 도 9의 구동 장치에 의하여 어드레스-디스플레이 혼합 구동을 수행하는 경우에 어느 한 서브-필드(SF)에서 각 전극 라인들에 인가되는 구동 신호들의 전압 파형들을 보여준다. 도 15에서 참조 부호 0_{AR1...ABm}은 어드레스 구동부(도 3의 63)로부터 어드레스 전극 라인들(도 1의 A_{R1} 내지 A_{Bm})에 인가되는 디스플레이 데이터 신호들을, 0_X는 X 구동부(도 9의 64)로부터 모든 X 전극 라인들(X_1, \dots, X_n)에 인가되는 구동 신호를, 0_{YG1}은 제1 주사/유지 회로

(SSC1)로부터 제1 XY 전극-라인쌍 그룹의 Y 전극 라인들($Y_1, \dots, Y_{\frac{n}{2}}$)에 인가되는 구동 신호들을, 그리고 O_{YG2} 는 제2 주사/유지 회로(SSC2)로부터 제2 XY 전극-라인쌍 그룹의 Y 전극 라인들($Y_{\frac{n}{2}+1}, \dots, Y_n$)에 인가되는 구동 신호들을, R은 리셋 주기를, AM은 어드레싱 주기와 혼합 디스플레이-유지 주기가 공존하는 주기를, CS는 공통 디스플레이-유지 주기를, 그리고 AS는 보정 디스플레이-유지 주기를 각각 가리킨다.

<85> 도 11 및 15를 참조하여, 도 11의 어느 한 주사/유지 회로(SSC1)의 주사 회로(AC, SIC)의 동작 과정을 살펴보면 다음과 같다.

<86> 주사 시간(어드레싱 시간)을 제외한 리셋 주기(R), 혼합 디스플레이-유지 주기, 공통 디스플레이-유지 주기(CS), 및 보정 디스플레이-유지 주기(AS)에 있어서, 대전력 트랜지스터(S_{SCL})가 턴 오프(turn off)되어 유지 회로(SC_Y) 또는 리셋 회로(RC_Y)로부터의 구동 신호들(O_S/O_R)이 스위칭 출력 회로(SIC)의 모든 아래쪽 트랜지스터들($YL_1, \dots, YL_{\frac{n}{2}}$)의 공통 전원 라인(PL_L)에 인가된다. 또한, 스위칭 출력 회로(SIC)의 모든 아래쪽 트랜지스터들($YL_1, \dots, YL_{\frac{n}{2}}$)이 턴 온(turn on)되고 모든 위쪽 트랜지스터들($YU_1, \dots, YU_{\frac{n}{2}}$)이 턴 오프(turn off)된다. 이에 따라, 유지 회로(SC_Y) 또는 리셋 회로(RC_Y)로부터의 구동 신호들(O_S/O_R)이 스위칭 출력 회로(SIC)의 모든 아래쪽 트랜지스터들($YL_1, \dots, YL_{\frac{n}{2}}$)을 통하여 제1 XY 전극-라인쌍 그룹의 모든 Y 전극 라인들($Y_1, \dots, Y_{\frac{n}{2}}$)에 인가된다.

<87> 혼합 시간 영역(AM)에서 혼합 디스플레이-유지 주기와 공존하는 어드레싱 시간에 있어서, 캐패시터(C_{Sp})의 충전에 의한 주사용 바이어스 전압(V_{SC_H})이 스위칭 출력 회로(SIC)의 위쪽 트랜지스터들($YU_1, \dots,$

$YU_{\frac{n}{2}}$ 의 공통 전원 라인(PL_U)에 인가된다. 또한, 대전력 트랜지스터(S_{SCL})가 턴 온(turn on)되므로, 부극성의 주사 전압(V_{SC})이 대전력 트랜지스터(S_{SCL})를 통하여 스위칭 출력 회로(SIC)의 아래쪽 트랜지스터들($YL_1, \dots, YL_{\frac{n}{2}}$)에 인가된다. 여기서, 주사될 한 Y 전극 라인에 연결된 아래쪽 트랜지스터가 턴 온(turn on)되고 위쪽 트랜지스터가 턴 오프(turn off)된다. 또한, 주사되지 않을 나머지 모든 Y 전극 라인들에 연결된 아래쪽 트랜지스터들이 턴 오프(turn off)되고 위쪽 트랜지스터들이 턴 온(turn on)된다. 이에 따라, 주사될 한 Y 전극 라인에는 부극성의 주사 전압(V_{SC})이 인가되고, 주사되지 않을 나머지 모든 Y 전극 라인들에는 주사용 바이어스 전압(V_{SC_H})이 인가된다.

<88> 혼합 시간 영역(AM)에서 혼합 디스플레이-유지 주기와 공존하는 어드레싱 시간에 있어서, 주사될 한 Y 전극 라인에 부극성의 주사 전압(V_{SC})이 인가되는 시점, 어드레스 전극 라인들(도 1의 A_{R1}, \dots, A_{Bm})에 표시 데이터 신호가 인가되는 시점, 어드레스 전극 라인들(A_{R1}, \dots, A_{Bm})에 표시 데이터 신호의 인가가 종료되는 시점, 및 주사될 한 Y 전극 라인에 주사용 접지 전압(V_G)이 인가됨이 종료되는 시점에서의 전류 통로들을 살펴보면 다음과 같다.

<89> 첫째, 주사될 한 Y 전극 라인에 부극성의 주사 전압(V_{SC})이 인가되는 시점에서는, 주사될 한 Y 전극 라인에 연결된 디스플레이 셀들(전기적 캐패시터들)로부터 스위칭 출력 회로(SIC)의 한 아래쪽 트랜지스터를 통하여 주사 구동 회로(AC)의 대전력 트랜지스터(S_{SCL})로 전류가 흐른다.

<90> 둘째, 어드레스 전극 라인들(A_{R1}, \dots, A_{Bm})에 표시 데이터 신호가 인가되는 시점에서는, 선택 전압(V_A)이 인가된 어드레스 전극 라인들로부터 주사중인 한 Y 전극 라인으로 방전 전류가 흐를 뿐만 아니라, 주사되지 않은 나머지 모든 Y 전극 라인들, 스위칭 출력 회로(SIC)의 위

쪽 트랜지스터들, 주사 구동 회로(AC)의 캐패시터(C_{SP})를 통하여 대전력 트랜지스터(S_{SCL})로 전류가 흐른다.

- <91> 셋째, 어드레스 전극 라인들(A_{R1}, \dots, A_{Bm})에 표시 데이터 신호의 인가가 종료되는 시점에서는, 주사 구동 회로(AC)의 캐패시터(C_{SP})로부터 스위칭 출력 회로(SIC)의 위쪽 트랜지스터들, 및 주사되지 않은 나머지 모든 Y 전극 라인들을 통하여 어드레스 전극 라인들(A_{R1}, \dots, A_{Bm})로 전류가 흐른다.
- <92> 그리고 넷째, 주사될 한 Y 전극 라인에 부극성의 주사 전압(V_{SC})이 인가됨이 종료되는 시점에서는, 주사 구동 회로(AC)의 캐패시터(C_{SP})로부터 스위칭 출력 회로(SIC)의 위쪽 트랜지스터들, Y 전극 라인들을 통하여 디스플레이 셀들(전기적 캐패시터들)로 전류가 흐른다.
- <93> 위와 같이 캐패시터(C_{SP})에 일정한 전압이 유지되면서 동작하므로, 구동이 불안정해지지 않고 소비 전력이 높아지지 않는다. 따라서, 본 발명에 따른 주사 구동 회로(AC)는 종래의 주사 구동 회로(도 8의 AC)에 비하여 높은 가격의 대전력 트랜지스터들 3 개를 절감할 수 있는 효과를 가진다.
- <94> 도 12를 참조하여 도 10의 주사/유지 회로(SSC1)의 유지 회로(SC_Y)의 내부 동작을 단계적으로 설명하면 다음과 같다.
- <95> 혼합 시간 영역(AM)에서의 혼합 디스플레이-유지 주기들, 공통 디스플레이-유지 주기(CS), 및 보정 디스플레이-유지 주기(AS)에서 제1 XY 전극-라인쌍 그룹의 Y 전극 라인들($Y_1, \dots, Y_{\frac{n}{2}}$)에 인가되는 단위 펄스에 있어서, 접지 전압(V_G)으로부터 제2 전압(V_S)까지 상승하는 시간에서 제1 트랜지스터(ST1)만이 턴 온(turn on)된다. 이에 따라, 전력 재생용

캐패시터(C_{SY})에 수집되었던 전하들이 동조 코일(L_Y)을 통하여 제1 XY 전극-라인쌍 그룹의 Y 전극 라인들($Y_1, \dots, Y_{\frac{n}{2}}$)에 인가된다.

<96> 다음에, 제3 트랜지스터(ST3)만이 턴 온(turn on)되어, 디스플레이-유지 전압으로서의 제2 전압(V_S)이 제1 XY 전극-라인쌍 그룹의 Y 전극 라인들($Y_1, \dots, Y_{\frac{n}{2}}$)에 인가된다.

<97> 다음에, 제2 전압(V_S)으로부터 접지 전압(V_G)까지 하강하는 시간에서 제2 트랜지스터(ST2)만이 턴 온(turn on)된다. 이에 따라, 디스플레이 셀들(전기적 캐패시터들)에 불필요하게 남아있는 전하들이 동조 코일(L_Y)을 통하여 전력 재생용 캐패시터(C_{SY})에 수집된다.

<98> 최종적으로, 제4 트랜지스터(ST4)만이 턴 온(turn on)되어, 접지 전압(V_G)이 제1 XY 전극-라인쌍 그룹의 Y 전극 라인들($Y_1, \dots, Y_{\frac{n}{2}}$)에 인가된다.

<99> 상기와 같은 제1 주사/유지 회로(SSC1)의 내부 구성 및 동작은 제2 주사/유지 회로(SSC1)에도 동일하게 적용된다. 하지만, 도 15에 도시된 바와 같은 구동 타이밍도에 따라 제1 주사/유지 회로(SSC1)와 제2 주사/유지 회로(SSC1)가 개별적으로 동작한다. 따라서, 본 발명의 상기 실시예에 의한 구동 장치에 의하면, 어드레스-디스플레이 분리(Address-Display Separation) 구동 방법만이 아니라 어드레스-디스플레이 혼합(Address-Display Mixing) 구동 방법도 효율적으로 수행될 수 있다. 참고로, 어드레스-디스플레이 혼합 구동 방법은, 어드레스-디스플레이 분리 구동 방법(미국 특허 제5,541,618호 참조)에 비하여 상기 혼합 디스플레이-유지 주기 및 보정 디스플레이-유지 주기가 더 포함된 것이다. 따라서, 어드레스-디스플레이 혼합 구동 방법만이 적용되어 설명되고 있다.

<100> 도 13 및 15를 참조하여 도 9의 Y 구동부(65)의 단일 리셋 회로(RC_Y)의 내부 동작을 단계적으로 설명하면 다음과 같다.

- <101> 리셋 주기(R)에 있어서, X 전극 라인들(X_1, \dots, X_n)에 인가되는 전압이 접지 전압(V_G)으로부터 디스플레이-유지 전압(V_S)과 동일한 제2 전압(V_S)까지 지속적으로 상승되는 시간 동안에는 제11, 제5, 및 제8 트랜지스터들(ST11, ST5, ST8)만이 턴 온(turn on)된다. 이에 따라, 모든 Y 전극 라인들(Y_1, \dots, Y_n)에는 접지 전압(V_G)이 인가된다.
- <102> 다음에, 제10, 제6, 및 제8 트랜지스터들(ST10, ST6, ST8)만이 턴 온(turn on)되고, 제6 트랜지스터(ST6)의 드레인에는 제3 전압(V_{SET})이 인가된다. 여기서, 제6 트랜지스터(ST6)의 게이트에 지속적으로 상승되는 제어 전압이 인가되므로, 제6 트랜지스터(ST6)의 채널 저항값은 지속적으로 줄어든다. 또한, 제10 트랜지스터(ST10)의 소오스에 제2 전압(V_S)이 인가되어 있으므로, 제10 트랜지스터(ST10)의 소오스와 제6 트랜지스터(ST6)의 드레인 사이에 연결된 캐패시터의 작용으로 인하여, 제6 트랜지스터(ST6)의 드레인에는 제2 전압(V_S)으로부터 최고 전압($V_{SET}+V_S$)까지 지속적으로 상승되는 전압이 인가된다. 이에 따라, 제1 XY 전극-라인쌍 그룹의 Y 전극 라인들($Y_1, \dots, Y_{\frac{n}{2}}$)에는 제2 전압(V_S)으로부터 최고 전압($V_{SET}+V_S$)까지 지속적으로 상승되는 전압이 인가된다. 여기서, 모든 X 전극 라인들(X_1, \dots, X_n)과 모든 어드레스 전극 라인들(A_{R1}, \dots, A_{Bm})에는 접지 전압(V_G)이 인가된다. 이에 따라, 모든 Y 전극 라인들(Y_1, \dots, Y_n)과 X 전극 라인들(X_1, \dots, X_n) 사이에 약한 방전이 일어나는 한편, 모든 Y 전극 라인들(Y_1, \dots, Y_n)과 어드레스 전극 라인들(A_{R1}, \dots, A_{Bm}) 사이에 더욱 약한 방전이 일어난다. 여기서, 모든 Y 전극 라인들(Y_1, \dots, Y_n)과 모든 어드레스 전극 라인들(A_{R1}, \dots, A_{Bm}) 사이의 방전보다 모든 Y 전극 라인들(Y_1, \dots, Y_n)과 모든 X 전극 라인들(X_1, \dots, X_n) 사이의 방전이 더 강해지는 이유는, 모든 X 전극 라인들(X_1, \dots, X_n) 주위에 부극성의 벽전하들이 형성되어 있었기 때문이다. 이에 따라, 모든 Y 전극 라인들(Y_1, \dots, Y_n) 주위에는 부극성 벽전하들이 많이 형성되고, 모든 X 전극 라인들(X_1, \dots, X_n) 주위에는 정극성의 벽전하들이

형성되며, 모든 어드레스 전극 라인들(A_{R1}, \dots, A_{Bm}) 주위에는 정극성의 벽전하들이 적게 형성된다(도 16a 참조).

<103> 다음에, 제10, 제5, 및 제8 트랜지스터들(ST10, ST5, ST8)만이 턴 온(turn on)되어 제2 전압(V_S)이 모든 Y 전극 라인들(Y_1, \dots, Y_n)에 인가된다.

<104> 다음에, 제5, 제7, 제8, 및 제9 트랜지스터들(ST5, ST7, ST8, ST9)만이 턴 온(turn on)되되, 제7 및 제9 트랜지스터들(ST7, ST9)의 게이트에 지속적으로 상승되는 제어 전압이 인가되므로, 제9 트랜지스터(ST7)의 채널 저항값은 지속적으로 줄어든다. 이에 따라, 모든 Y 전극 라인들(Y_1, \dots, Y_n)에 인가되는 전압이 제2 전압(V_S)으로부터 접지 전압(V_G)까지 지속적으로 하강된다. 이 상태에서, 제5, 제7, 및 제8 트랜지스터들(ST5, ST7, ST8)이 턴 오프(turn off)되어, 모든 Y 전극 라인들(Y_1, \dots, Y_n)에 인가되는 전압이 접지 전압(V_G)으로부터 주사 전압과 동일한 부극성 전압(V_{SC})까지 지속적으로 하강된다. 여기서, 모든 X 전극 라인들(X_1, \dots, X_n)에 제2 전압(V_S)이 인가되고, 어드레스 전극 라인들(A_{R1}, \dots, A_{Bm})에는 접지 전압(V_G)이 인가된다. 이에 따라, 모든 X 전극 라인들(X_1, \dots, X_n)과 모든 Y 전극 라인들(Y_1, \dots, Y_n) 사이의 약한 방전으로 인하여, 모든 Y 전극 라인들(Y_1, \dots, Y_n) 주위의 부극성의 벽전하들의 일부가 모든 X 전극 라인들(X_1, \dots, X_n) 주위로 이동한다(도 11b 참조). 또한, 모든 어드레스 전극 라인들(A_{R1}, \dots, A_{Bm})에는 접지 전압(V_G)이 인가되므로, 모든 어드레스 전극 라인들(A_{R1}, \dots, A_{Bm}) 주위의 정극성의 벽전하들이 약간 증가한다(도 16b 참조).

<105> 도 14 및 15를 참조하여 도 9의 X 구동부(64)의 내부 동작을 설명하면 다음과 같다.

<106> 리셋 주기(R)에 있어서, X 전극 라인들(X_1, \dots, X_n)에 인가되는 전압이 접지 전압(V_G)으로부터 디스플레이-유지 전압(V_S)과 동일한 제2 전압(V_S)까지 지속적으로

상승되는 시간 동안에는, 리셋 회로(RC_X)의 두 트랜지스터들(ST145, ST146)의 게이트에 지속적으로 상승되는 제어 전압이 인가되므로, 두 트랜지스터들(ST145, ST146)의 채널 저항값은 지속적으로 줄어든다. 이에 따라, X 구동 신호(O_X)의 전압이 접지 전압(V_G)으로부터 디스플레이-유지 전압(V_S)과 동일한 제2 전압(V_S)까지 지속적으로 상승된다. 이어서, 리셋 회로(RC_X)의 두 트랜지스터들(ST145, ST146)이 턴 오프(turn off)되고 유지 회로(SC_X)의 제144 트랜지스터(ST144)가 턴 온(turn on)됨에 따라, 모든 X 전극 라인들(X_1, \dots, X_n)에 접지 전압(V_G)이 인가된다. 이어서, 유지 회로(SC_X)의 제144 트랜지스터(ST144)가 턴 오프(turn off)되고, 리셋 회로(RC_X)의 두 트랜지스터들(ST145, ST146)이 턴 온(turn on)됨에 따라, X 전극 라인들(X_1, \dots, X_n)에 제2 전압(V_S)이 인가된다.

<107> 혼합 시간 영역(AM)에서의 혼합 디스플레이-유지 주기들, 공통 디스플레이-유지 주기(CS), 및 보정 디스플레이-유지 주기(AS)에서 X 전극 라인들(X_1, \dots, X_n)에 인가되는 단위 펄스에 있어서, 접지 전압(V_G)으로부터 제2 전압(V_S)까지 상승하는 시간에서 제141 트랜지스터(ST141)만이 턴 온(turn on)된다. 이에 따라, 전력 재생용 캐패시터(C_{SY})에 수집되었던 전하들이 동조 코일(L_X)을 통하여 X 전극 라인들(X_1, \dots, X_n)에 인가된다.

<108> 다음에, 제143 트랜지스터(ST3)만이 턴 온(turn on)되어, 디스플레이-유지 전압으로서의 제2 전압(V_S)이 X 전극 라인들(X_1, \dots, X_n)에 인가된다.

<109> 다음에, 제2 전압(V_S)으로부터 접지 전압(V_G)까지 하강하는 시간에서 제142 트랜지스터(ST2)만이 턴 온(turn on)된다. 이에 따라, 디스플레이 셀들(전기적 캐패시터들)에 불필요하게 남아있는 전하들이 동조 코일(L_X)을 통하여 전력 재생용 캐패시터(C_{SY})에 수집된다.

- <110> 최종적으로, 제4 트랜지스터(ST144)만이 턴 온(turn on)되어, 접지 전압(V_G)이 X 전극 라인들(X_1, \dots, X_n)에 인가된다.
- <111> 도 15에 도시된 바와 같이, 제1 주사/유지 회로(SSC1)의 디스플레이-유지 동작은 일률적으로 수행되고, 제2 주사/유지 회로(SSC1)의 디스플레이-유지 동작은 일률적으로 수행된다. 또한, 상기 혼합 시간 영역(AM)에서의 혼합 디스플레이-유지 주기들, 및 보정 디스플레이-유지 주기(AS)에서 제1 및 제2 XY 전극-라인쌍 그룹들에 서로 다른 디스플레이-유지 펄스들이 인가될 수 있다. 도 15를 참조하면, 단위 서브-필드(SF)에 있어서, 제1 및 제2 XY 전극-라인쌍 그룹들 각각에 어드레싱이 수행된 후에 총 9 회의 디스플레이 방전이 수행됨을 알 수 있다. 이에 따라, 어드레스-디스플레이 분리(Address-Display Separation) 구동 방법만이 아니라 어드레스-디스플레이 혼합(Address-Display Mixing) 구동 방법도 효율적으로 수행될 수 있다.
- <112> 도 17을 참조하여, 도 3의 구동 장치에 있어서 본 발명의 제2 실시예의 구동 장치의 Y 구동부(65) 및 X 구동부(64)를 설명하면 다음과 같다.
- <113> Y 구동부(65)의 단일 리셋 회로(RC_Y)는 제1 실시예에서 설명되었던 단일 리셋 회로(도 9 및 13의 RC_Y)와 동일한 구성을 가지고 동일하게 동작한다. 제1 실시예에서 설명되었던 어느 한 주사/유지 회로(도 9 내지 12의 SSC1)에 대한 Y 구동부(65)의 주사/유지 회로(SSC)의 구성상의 유일한 차이점은, 스위칭 출력 회로(SIC)가 모든 Y 전극 라인들(Y_1, \dots, Y_n)에 대하여 구성되었다는 점이다.
- <114> X 구동부(64)의 단일 리셋 회로(RC_X)는 제1 실시예에서 설명되었던 단일 리셋 회로(도 9 및 14의 RC_X)와 동일한 구성을 가지고 동일하게 동작한다. 또한, X 구동부(64)의 어느 한 유

지 회로(SC_{X1} 또는 SC_{X2})는 제1 실시예에서 설명되었던 단일 유지 회로(도 9 및 14의 SC_X)와 동일한 구성을 가지고 동일하게 동작한다.

<115> 따라서, 제1 실시예에 대한 제2 실시예의 구성상의 차이점은, Y 구동부(65)에서 단일 주사/유지 회로(SSC)를 가지지만 X 구동부(64)에서 복수의 유지 회로들(SC_{X1} , SC_{X2})을 포함한다는 점이다. 보다 상세하게는, 플라즈마 디스플레이 패널(1)의 XY 전극 라인쌍들이 제1 및 제2 XY 전극-라인쌍 그룹들로 할당되고, X 구동부(64)가 제1 및 제2 XY 전극-라인쌍 그룹들에 대응되는 복수의 구동 회로들로서의 제1 및 제2 유지 회로들(SC_{X1} , SC_{X2})을 포함한다. X 구동부(64)의 다이오드들(D1, D2)은 복수의 유지 회로들(SC_{X1} , SC_{X2}) 각각의 출력들(O_{XG1} , O_{XG2})이 단일 리셋 회로(RC_X)의 출력단을 통하여 서로 영향을 미치지 못하게 한다.

<116> 도 18은 도 17의 구동 장치에 의하여 어드레스-디스플레이 혼합 구동을 수행하는 경우에 어느 한 서브-필드에서 각 전극 라인들에 인가되는 구동 신호들의 전압 파형들을 보여준다. 도 18에서 도 15와 동일한 참조 부호는 동일한 기능의 대상을 가리킨다. 도 18의 구동 타이밍에 따른 구체적인 내부 회로의 동작은 상기 제1 실시예에서 설명된 바와 같다.

<117> 도 17 및 18을 참조하면, Y 구동부(65)의 단일 주사/유지 회로(SSC), X 구동부(64)의 제1 유지 회로(SC_{X1}), 및 X 구동부(64)의 제2 유지 회로(SC_{X2}) 각각의 디스플레이-유지 동작은 일률적으로 수행된다. 또한, 혼합 시간 영역(AM)에서의 혼합 디스플레이-유지 주기들, 및 보정 디스플레이-유지 주기(AS)에서 제1 및 제2 XY 전극-라인쌍 그룹들에 서로 다른 디스플레이-유지 펄스들이 인가될 수 있다.

<118> 예를 들어, 혼합 시간 영역(AM)에서 제1 XY 전극-라인쌍 그룹에 대한 어드레싱 주기가 종료된 후의 제1 혼합 디스플레이-유지 주기에 있어서, Y 구동부(65)의 단일 주사/유지 회로

(SSC)가 일률적으로 동작하므로 모든 Y 전극 라인들(Y_1, \dots, Y_n)에 디스플레이-유지 펄스가 2 회 인가된다. 또한, X 구동부(64)의 제1 유지 회로(SC_{X1})가 Y 구동부(65)의 단일 주사/유지 회로(SSC)와 함께 일률적으로 동작하여 제1 XY 전극-라인쌍 그룹의 X 전극 라인들($X_1, \dots, X_{\frac{n}{2}}$)에 디스플레이-유지 펄스를 1 회 인가한다. 이에 따라, 제1 혼합 디스플레이-유지 주기에서 제1 XY 전극-라인쌍 그룹에서 총 3회의 디스플레이-유지 방전이 수행된다. 하지만, X 구동부(64)의 제2 유지 회로(SC_{X2})가 일률적으로 동작하여 제2 XY 전극-라인쌍 그룹의 X 전극 라인들($X_{\frac{n}{2}+1}, \dots, X_n$)에 접지 전압(V_G)을 인가하고, 제2 XY 전극-라인쌍 그룹이 어드레싱되지 않은 상태이므로, 제1 혼합 디스플레이-유지 주기에서 제2 XY 전극-라인쌍 그룹이 디스플레이-유지 방전을 수행하지 않는다.

<119> 공통 디스플레이-유지 주기(CS)에 있어서, X 구동부(64)의 제1 및 제2 유지 회로들(SC_{X1}, SC_{X2})이 모든 X 전극 라인들(X_1, \dots, X_n)에 디스플레이-유지 펄스를 2 회 인가한다. 또한, Y 구동부(65)의 단일 주사/유지 회로(SSC)가 X 구동부(64)의 제1 및 제2 유지 회로들(SC_{X1}, SC_{X2})과 함께 일률적으로 동작하므로, 모든 Y 전극 라인들(Y_1, \dots, Y_n)에 디스플레이-유지 펄스가 1 회 인가된다. 이에 따라, 모든 XY 전극-라인쌍들에서 3 회의 디스플레이-유지 방전이 수행된다.

<120> 보정 디스플레이-유지 주기(AS)에 있어서, Y 구동부(65)의 단일 주사/유지 회로(SSC)가 일률적으로 동작하므로 모든 Y 전극 라인들(Y_1, \dots, Y_n)에 디스플레이-유지 펄스가 2 회 인가된다. 또한, X 구동부(64)의 제1 유지 회로(SC_{X1})가 일률적으로 동작하여 제1 XY 전극-라인쌍 그룹의 X 전극 라인들($X_1, \dots, X_{\frac{n}{2}}$)에 접지 전압(V_G)을 인가하므로, 보정 디스플레이-유지 주기(AS)에서 제1

XY 전극-라인쌍 그룹이 총 1회의 디스플레이-유지 방전을 수행한다. 하지만, X 구동부(64)의 제2 유지 회로(SC_{X2})가 Y 구동부(65)의 단일 주사/유지 회로(SSC)와 함께 일괄적으로 동작하여 제2 XY 전극-라인쌍 그룹의 X 전극 라인들($X_{\frac{n}{2}+1}, \dots, X_n$)에 디스플레이-유지 펄스를 1 회 인가한다. 이에 따라, 보정 디스플레이-유지 주기(AS)에서 제2 XY 전극-라인쌍 그룹이 총 3회의 디스플레이-유지 방전을 수행한다.

- <121> 따라서, 어드레스-디스플레이 분리(Address-Display Separation) 구동 방법만이 아니라 어드레스-디스플레이 혼합(Address-Display Mixing) 구동 방법도 효율적으로 수행될 수 있다.
- <122> 도 19를 참조하여, 도 3의 구동 장치에 있어서 본 발명의 제3 실시예의 구동 장치의 Y 구동부(65) 및 X 구동부(64)를 설명하면 다음과 같다.
- <123> Y 구동부(65)의 단일 리셋 회로(RC_Y)는 제1 실시예에서 설명되었던 단일 리셋 회로(도 9 및 13의 RC_Y)와 동일한 구성을 가지고 동일하게 동작한다. Y 구동부(65)의 제1 및 제2 주사/유지 회로들(SSC1, SSC2)은 제1 실시예에서 설명되었던 Y 구동부(65)의 제1 및 제2 주사/유지 회로들(SSC1, SSC2)과 동일한 구성을 가진다.
- <124> X 구동부(64)의 단일 리셋 회로(RC_X)는 제1 실시예에서 설명되었던 단일 리셋 회로(도 9 및 14의 RC_X)와 동일한 구성을 가지고 동일하게 동작한다. 또한, X 구동부(64)의 어느 한 유지 회로(SC_{X1} 또는 SC_{X2})는 제1 실시예에서 설명되었던 단일 유지 회로(도 9 및 14의 SC_X)와 동일한 구성을 가지고 동일하게 동작한다. X 구동부(64)의 다이오드들(D1, D2)은 복수의 유지 회로들(SC_{X1}, SC_{X2}) 각각의 출력들(O_{XG1}, O_{XG2})이 단일 리셋 회로(RC_X)의 출력단을 통하여 서로 영향을 미치지 못하게 한다.

<125> 여기서, Y 구동부(65)의 어느 한 주사/유지 회로(SSC1 또는 SSC2)에 의하여 구동되는 Y 전극 라인들의 XY 전극-라인쌍 그룹들이 X 구동부(64)의 어느 한 구동 회로(SC_{X1} 또는 SC_{X2})에 의하여 구동되는 X 전극 라인들의 XY 전극-라인쌍 그룹들과 동일하지 않도록 구성된다. 보다 상세하게는, 플라즈마 디스플레이 패널(1)의 XY 전극 라인쌍들이 제1 내지 제4 XY 전극-라인쌍 그룹들로 할당되고, Y 구동부(65)의 제1 주사/유지 회로(SSC1)가 제1 및 제2 XY 전극-라인쌍 그룹들에 대응되며, Y 구동부(65)의 제2 주사/유지 회로(SSC2)가 제3 및 제4 XY 전극-라인쌍 그룹들에 대응되고, X 구동부(64)의 제1 유지 회로(SS_{X1})가 홀수번째인 제1 및 제3 XY 전극-라인쌍 그룹들에 대응되며, X 구동부(64)의 제2 유지 회로(SS_{X2})가 짝수번째인 제2 및 제4 XY 전극-라인쌍 그룹들에 대응된다.

<126> 도 20은 도 19의 구동 장치에 의하여 어드레스-디스플레이 혼합 구동을 수행하는 경우에 어느 한 서브-필드에서 각 전극 라인들에 인가되는 구동 신호들의 전압 파형들을 보여준다. 도 20에서 도 15 및 18과 동일한 참조 부호는 동일한 기능의 대상을 가리킨다. 도 20의 구동 타이밍에 따른 구체적인 내부 회로의 동작은 상기 제1 실시예에서 설명된 바와 같다.

<127> 도 19 및 20을 참조하면, Y 구동부(65)의 주사/유지 회로들(SSC1, SSC2)과 X 구동부(64)의 유지 회로들(SS_{X1}, SS_{X2})의 조합에 의하여, 혼합 시간 영역(AM)에서의 혼합 디스플레이-유지 주기들, 및 보정 디스플레이-유지 주기(AS)에서 제1 내지 제4 XY 전극-라인쌍 그룹들에 서로 다른 디스플레이-유지 펄스들이 인가될 수 있다.

<128> 예를 들어, 혼합 시간 영역(AM)의 $t_2 \sim t_3$ 시간에 있어서, Y 구동부(65)의 제1 주사/유지 회로(SSC1)가 일률적으로 동작하여 제1 및 제2 XY 전극-라인쌍 그룹들의 Y 전극 라인들($Y_1, \dots, Y_{\frac{n}{2}}$)에 디스플레이-유지 펄스를 2 회 인가한다. 또한, X 구동부(64)의 제1 유지 회로(SC

x_1)가 Y 구동부(65)의 제1 주사/유지 회로(SSC1)와 함께 일률적으로 동작하여 제1 및 제3 XY 전극-라인쌍 그룹들의 X 전극 라인들($X_1, \dots, X_{\frac{n}{4}}, X_{\frac{n}{2}+1}, \dots, X_{\frac{3n}{4}}$)에 디스플레이-유지 펄스를 1 회 인가한다. 이에 따라, 제1 혼합 디스플레이-유지 주기에서 제1 XY 전극-라인쌍 그룹에서 총 3회의 디스플레이-유지 방전이 수행된다. 하지만, X 구동부(64)의 제2 유지 회로(SC_{X2})가 일률적으로 동작하여 제2 및 제4 XY 전극-라인쌍 그룹들의 X 전극 라인들($X_{\frac{n}{4}+1}, \dots, X_{\frac{n}{2}}, X_{\frac{3n}{4}+1}, \dots, X_n$)에 접지 전압(V_G)을 인가하고, 제2 내지 제4 XY 전극-라인쌍 그룹들이 어드레싱되지 않은 상태이므로, 혼합 시간 영역(AM)의 $t_2 \sim t_3$ 시간에서 제2 내지 제4 XY 전극-라인쌍 그룹들이 디스플레이-유지 방전을 수행하지 않는다.

<129> 상기와 같은 동작 원리에 의하여, 혼합 시간 영역(AM)의 $t_4 \sim t_5$ 시간에서 제1 및 제2 XY 전극-라인쌍 그룹들만이 디스플레이-유지 방전을 수행한다. 혼합 시간 영역(AM)의 $t_6 \sim t_7$ 시간에서는 제1 내지 제3 XY 전극-라인쌍 그룹들만이 디스플레이-유지 방전을 수행한다. 혼합 시간 영역(AM)의 t_8 시점으로부터 공통 디스플레이-유지 주기(CS)의 종료 시점(t_9)까지의 시간($t_8 \sim t_9$)에서는 모든 전극-라인쌍 그룹들이 디스플레이-유지 방전을 수행한다. 보정 디스플레이-유지 주기(AS)의 $t_9 \sim t_{10}$ 시간에서는 제2 및 제4 XY 전극-라인쌍 그룹들만이 디스플레이-유지 방전을 수행한다. 그리고, 보정 디스플레이-유지 주기(AS)의 $t_{10} \sim t_{11}$ 시간에서는 제3 및 제4 XY 전극-라인쌍 그룹들만이 디스플레이-유지 방전을 수행한다.

【발명의 효과】

<130> 이상 설명된 바와 같이, 본 발명에 따른 플라즈마 디스플레이 패널의 구동 장치에 의하면, X 및/또는 Y 구동부의 복수의 구동 회로들에 의하여 혼합 디스플레이-유지 주기 및 보정 디스플레이-유지 주기에서 XY 전극-라인쌍 그룹들 각각에 서로 다른 구동 신호들이 동시에 인가될 수 있다. 이에 따라 어드레스-디스플레이 혼합 구동 방법이 효율적으로 수행될 수 있다.

한편, 공통 디스플레이-유지 주기에서 상기 복수의 구동 회로들이 동일하게 동작할 수 있다. 이에 따라, 어드레스-디스플레이 혼합 구동 방법만이 아니라 어드레스-디스플레이 분리 구동 방법도 수행될 수 있다. 왜냐하면, 어드레스-디스플레이 분리 구동 방법이 적용되는 경우, 혼합 및 보정 디스플레이-유지 주기들이 존재하지 않고 공통 디스플레이-유지 주기만이 존재하기 때문이다.

<131> 본 발명은, 상기 실시예에 한정되지 않고, 청구범위에서 정의된 발명의 사상 및 범위 내에서 당업자에 의하여 변형 및 개량될 수 있다.

【특허청구범위】

【청구항 1】

외부 아날로그 영상 신호를 디지털 신호로 변환하여 내부 영상 신호를 발생시키는 영상 처리부; 상기 영상 처리부로부터의 내부 영상 신호에 따라 구동 제어 신호들을 발생시키는 제어부; 상기 제어부로부터의 어드레스 신호를 처리하여 디스플레이 데이터 신호를 발생시키고, 발생된 디스플레이 데이터 신호를 어드레스 전극 라인들에 인가하는 어드레스 구동부; 상기 제어부로부터의 X 구동 제어 신호를 처리하여, 상기 어드레스 전극 라인들에 교차되게 배열된 X 전극 라인들에 인가하는 X 구동부; 및 상기 제어부로부터의 Y 구동 제어 신호를 처리하여, 상기 X 전극 라인들과 나란하게 XY 전극 라인쌍을 이루도록 배열된 Y 전극 라인들에 인가하는 Y 구동부를 포함한 플라즈마 디스플레이 패널의 구동 장치에 있어서,

상기 XY 전극 라인쌍들이 복수의 XY 전극-라인쌍 그룹들로 할당되고,

상기 X 구동부 및 Y 구동부중에서 적어도 어느 하나가 상기 복수의 XY 전극-라인쌍 그룹들에 대응되도록 복수의 구동 회로들을 가지고, 상기 복수의 구동 회로들이 개별적으로 동작하는 플라즈마 디스플레이 패널의 구동 장치.

【청구항 2】

제1항에 있어서, 상기 Y 구동부의 복수의 구동 회로들 각각이,

선택된 디스플레이 셀들에 소정의 벽전압을 생성하는 어드레싱 동작을 위하여 Y 전극 라인들에 순차적으로 주사 펄스를 인가하는 주사 회로; 및

상기 벽전압이 형성된 디스플레이 셀들이 소정 시간에 디스플레이-유지 방전을 일으키도록 Y 전극 라인들에 디스플레이-유지 펄스를 동시에 인가하는 유지 회로를 포함한 플라즈마 디스플레이 패널의 구동 장치.

【청구항 3】

제2항에 있어서, 상기 주사 회로가,

위쪽 및 아래쪽 트랜지스터들이 배열되어, 각 위쪽 트랜지스터 및 각 아래쪽 트랜지스터의 공통 출력 라인이 상기 각각의 Y 전극 라인에 대응되도록 연결되는 스위칭 출력 회로; 및

상기 스위칭 출력 회로의 모든 위쪽 트랜지스터들의 공통 전원 라인과 모든 아래쪽 트랜지스터들의 공통 전원 라인에 연결되어, 상기 어드레싱 동작에서 주사되는 Y 전극 라인들에 주사 전압을 인가하고, 상기 어드레싱 동작에서 주사되지 않는 Y 전극 라인들에 주사용 바이어스 전압을 인가하는 주사 구동 회로를 포함한 플라즈마 디스플레이 패널의 구동 장치.

【청구항 4】

제3항에 있어서,

상기 유지 회로의 출력이 상기 주사 구동 회로를 통하여 상기 공통 전원 라인들중에서 어느 하나에 인가되는 플라즈마 디스플레이 패널의 구동 장치.

【청구항 5】

제2항에 있어서, 상기 Y 구동부가,

모든 디스플레이 셀들의 전하 상태들을 균일하게 하는 리셋 동작을 수행하는 단일 리셋 회로를 더 포함한 플라즈마 디스플레이 패널의 구동 장치.

【청구항 6】

제5항에 있어서, 상기 X 구동부가,

상기 Y 구동부의 단일 리셋 회로와 함께 동작하는 단일 리셋 회로를 포함한 플라즈마 디스플레이 패널의 구동 장치.

【청구항 7】

제2항에 있어서, 상기 X 구동부의 복수의 구동 회로들 각각이,

상기 벽전압이 형성된 디스플레이 셀들이 소정 시간에 디스플레이-유지 방전을 일으키도록 Y 전극 라인들에 디스플레이-유지 펄스를 동시에 인가하는 유지 회로를 포함한 플라즈마 디스플레이 패널의 구동 장치.

【청구항 8】

제1항에 있어서,

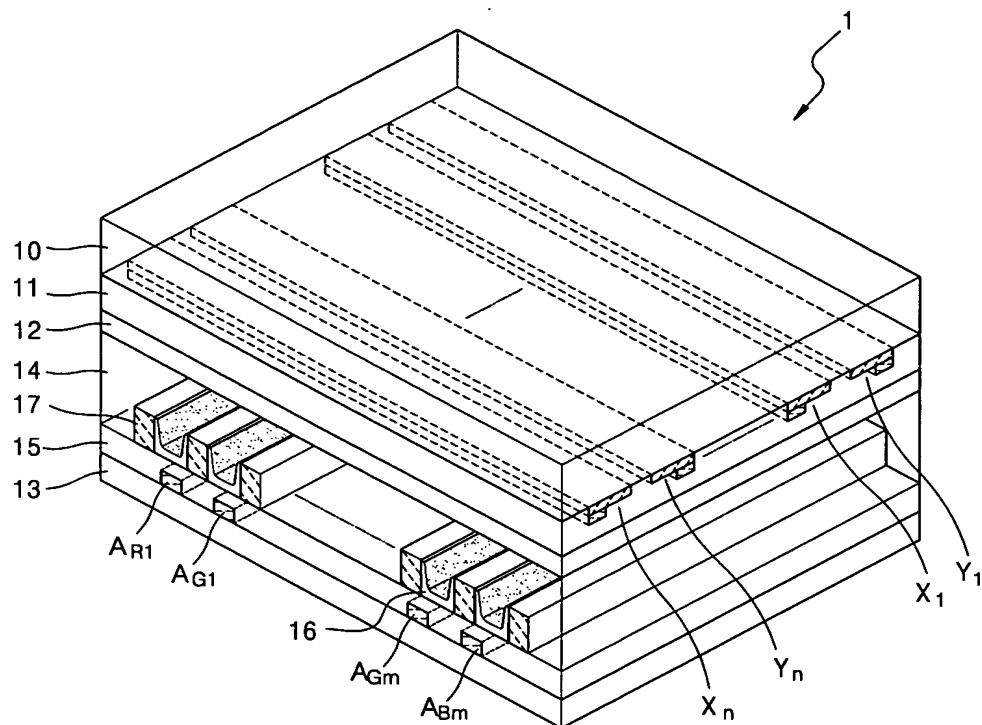
상기 Y 구동부의 구동 회로들 각각이 복수의 XY 전극-라인쌍 그룹들의 Y 전극 라인들을 구동하고,

상기 X 구동부의 구동 회로들 각각이 복수의 XY 전극-라인쌍 그룹들의 X 전극 라인들을 구동하되,

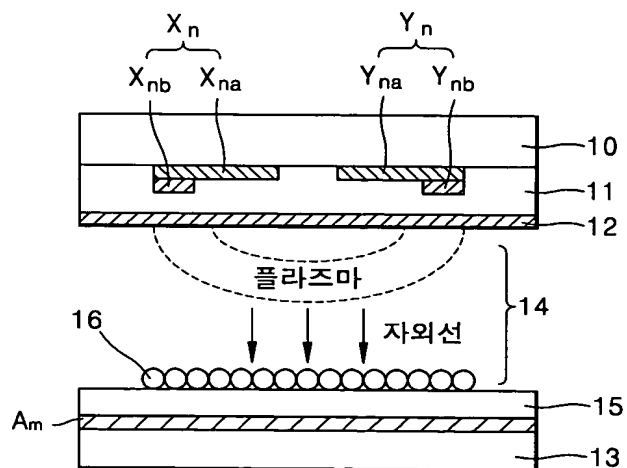
상기 Y 구동부의 어느 한 구동 회로에 의하여 구동되는 Y 전극 라인들의 XY 전극-라인쌍 그룹들이 상기 X 구동부의 어느 한 구동 회로에 의하여 구동되는 X 전극 라인들의 XY 전극-라인쌍 그룹들과 동일하지 않은 플라즈마 디스플레이 패널의 구동 장치.

【도면】

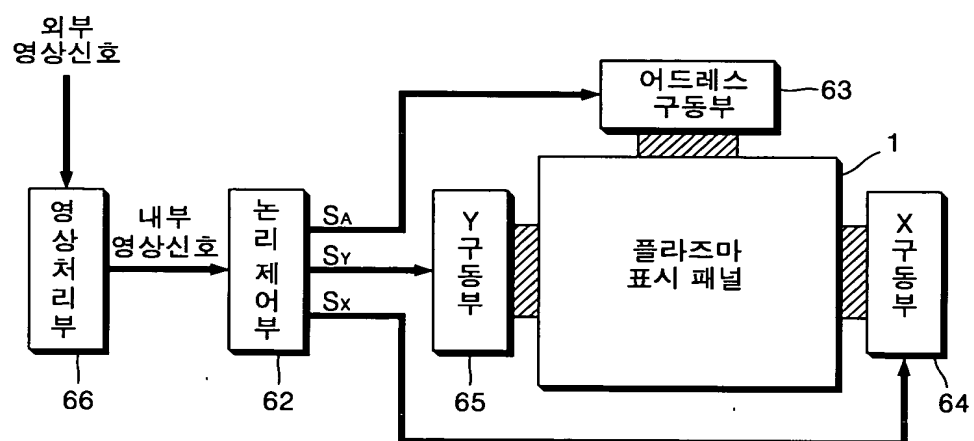
【도 1】



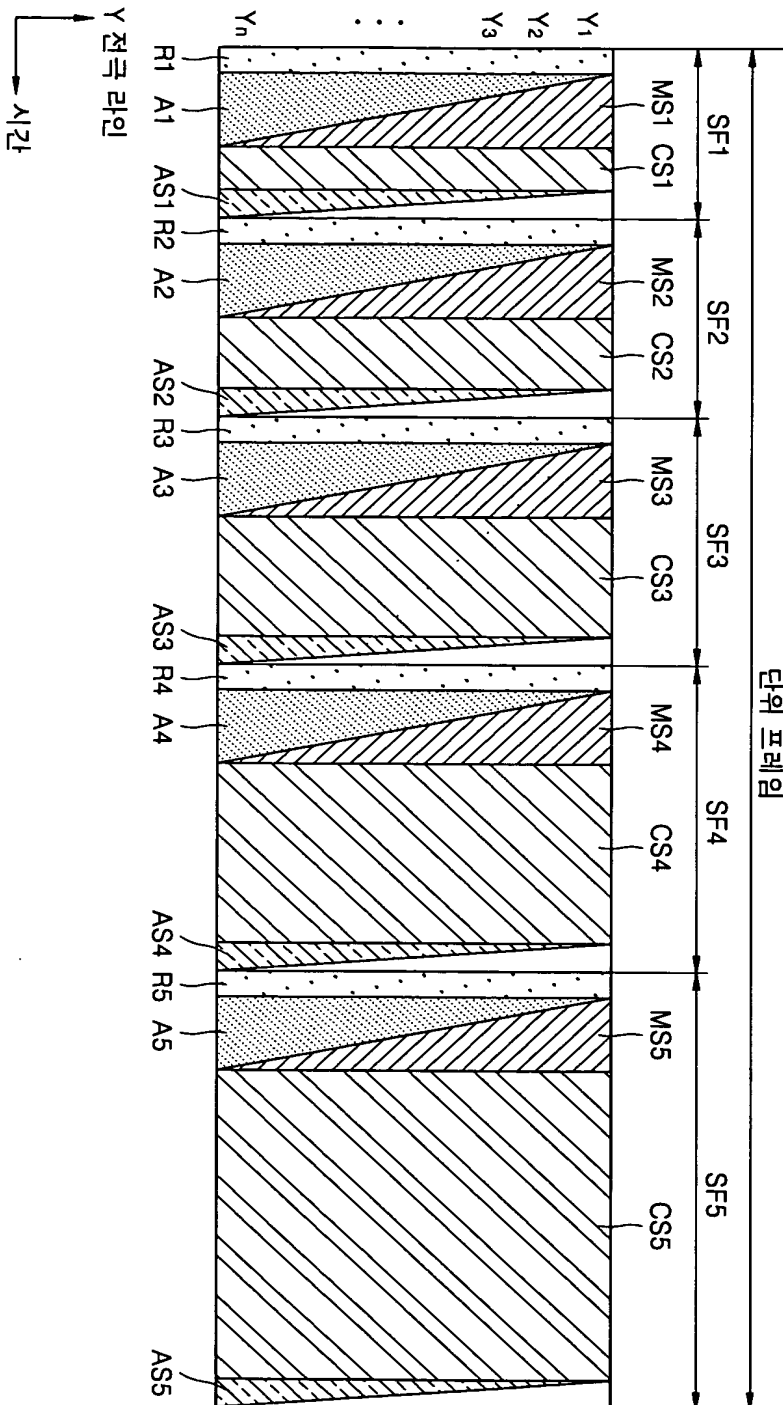
【도 2】



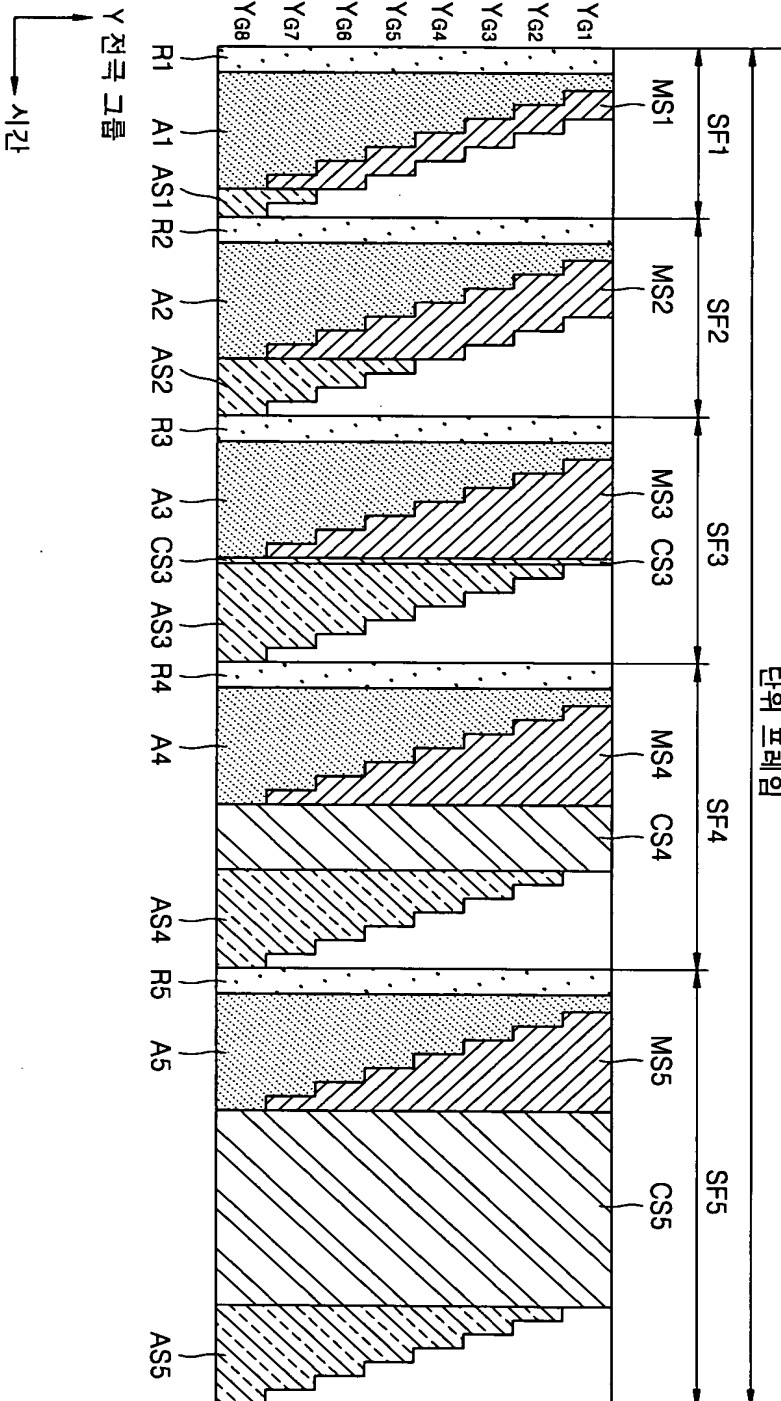
【도 3】



【도 4】



【도 5】

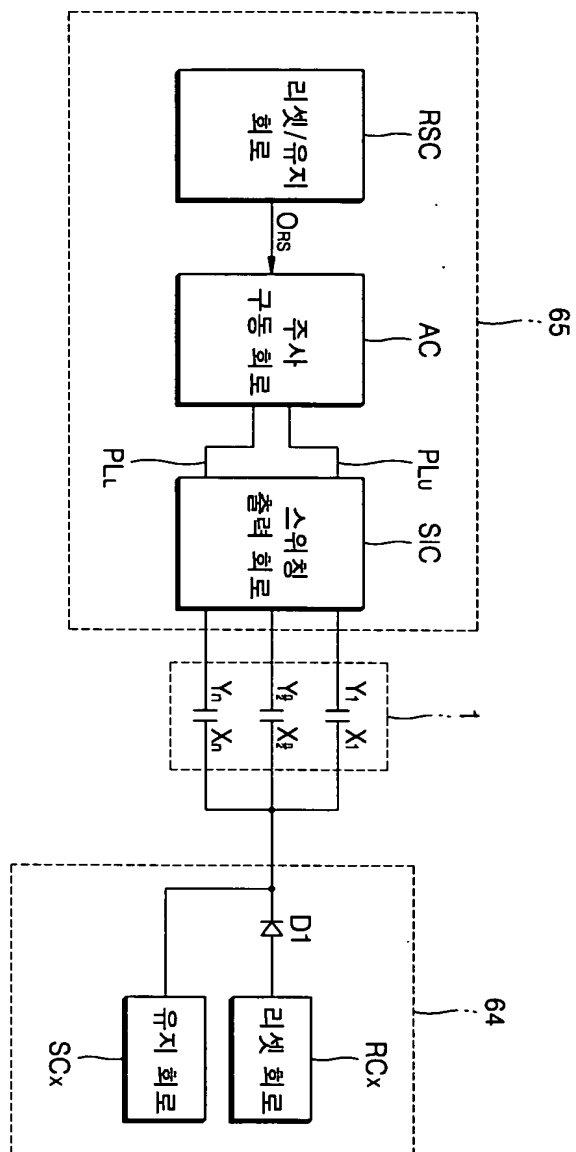


【표 6】

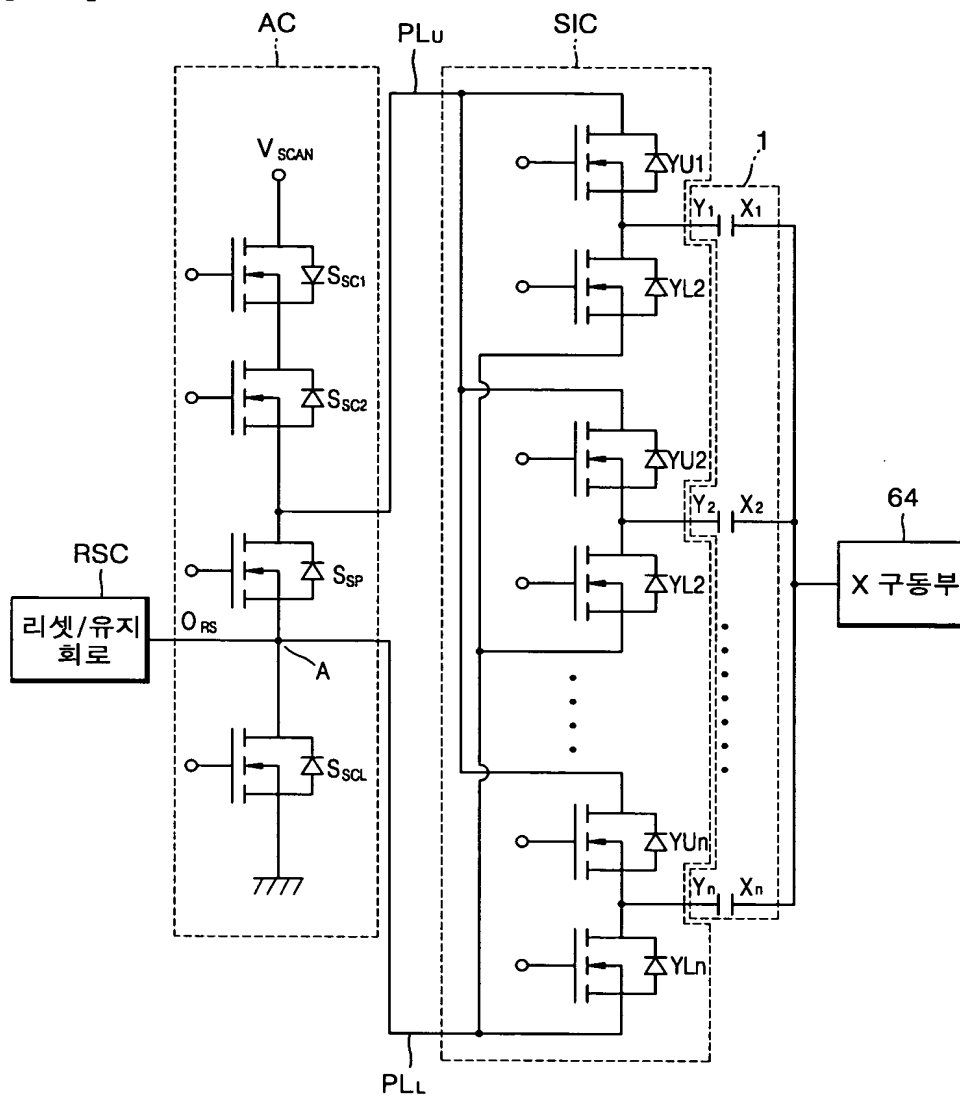
Y 전극 그룹
시간

	SF4																CS4				AS4			
	A4MS4																							
	R4																							
Yg1	Ag1 S11		S12	S13	S14	S15	S16	S17	S18															
Yg2		Ag2 S21		S22	S23	S24	S25	S26	S27	S28														
Yg3			Ag3 S31	S32	S33	S34	S35	S36	S37 S38															
Yg4				Ag4 S41	S42	S43	S44	S45	S46 S47 S48															
Yg5					Ag5 S51	S52	S53	S54	S55 S56 S57 S58															
Yg6						Ag6 S61	S62	S63	S64 S65 S66 S67 S68															
Yg7							Ag7 S71	S72		S73 S74 S75 S76 S77 S78														
Yg8								Ag8 S81		S82 S83 S84 S85 S86 S87 S88														

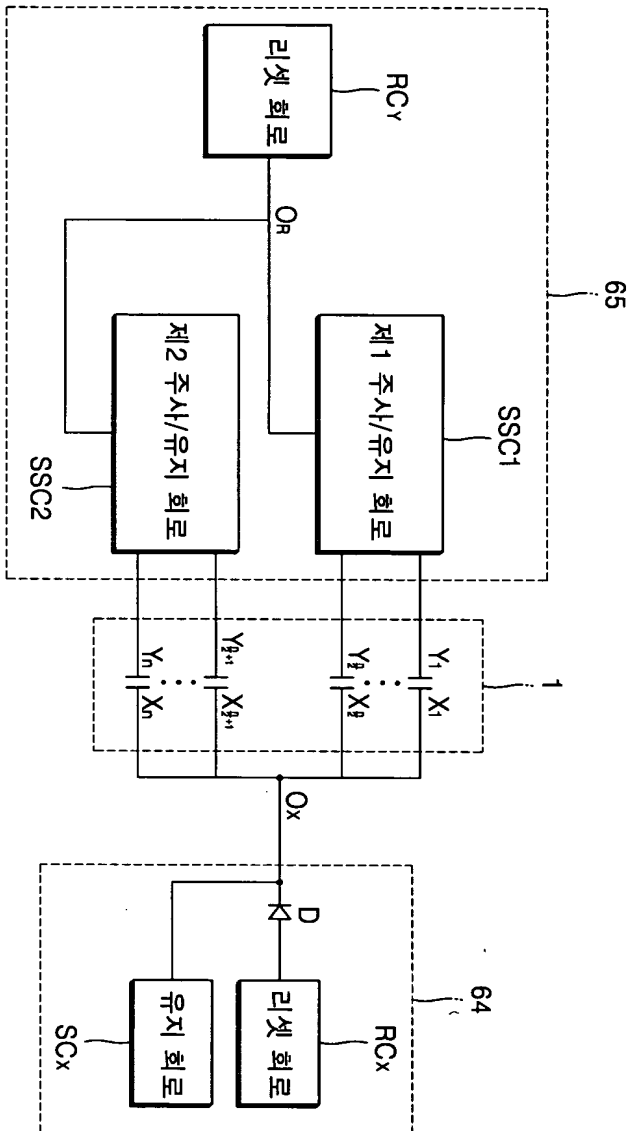
【도 7】



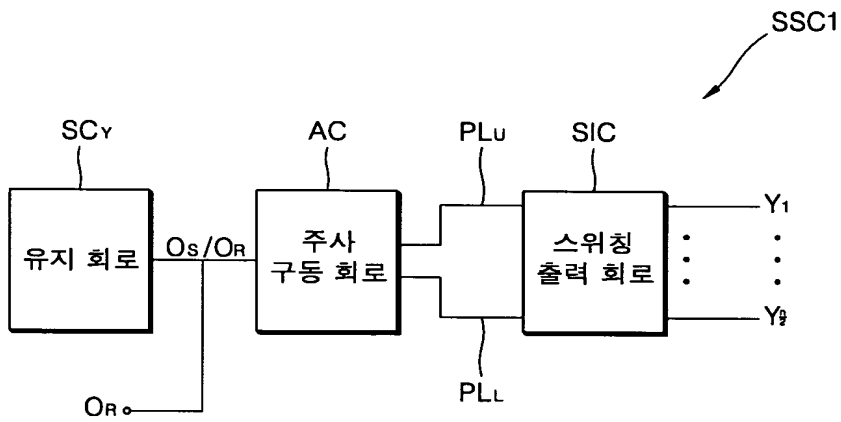
【도 8】



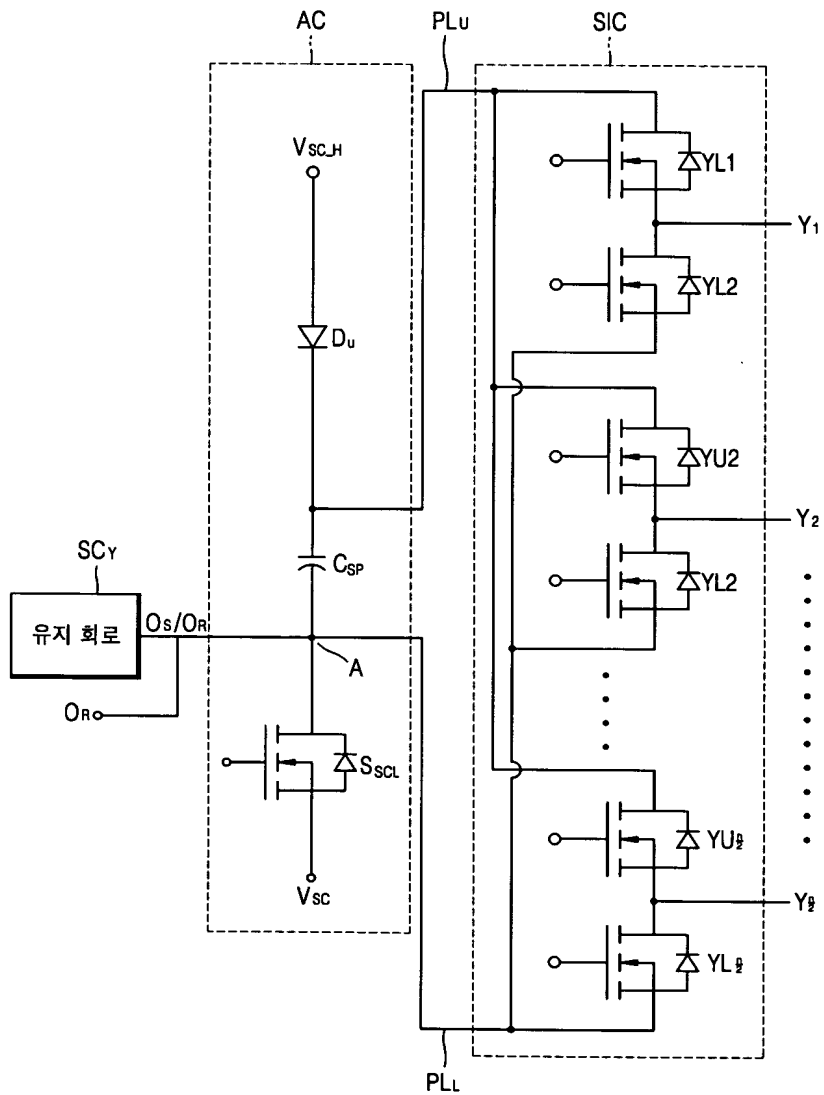
【도 9】



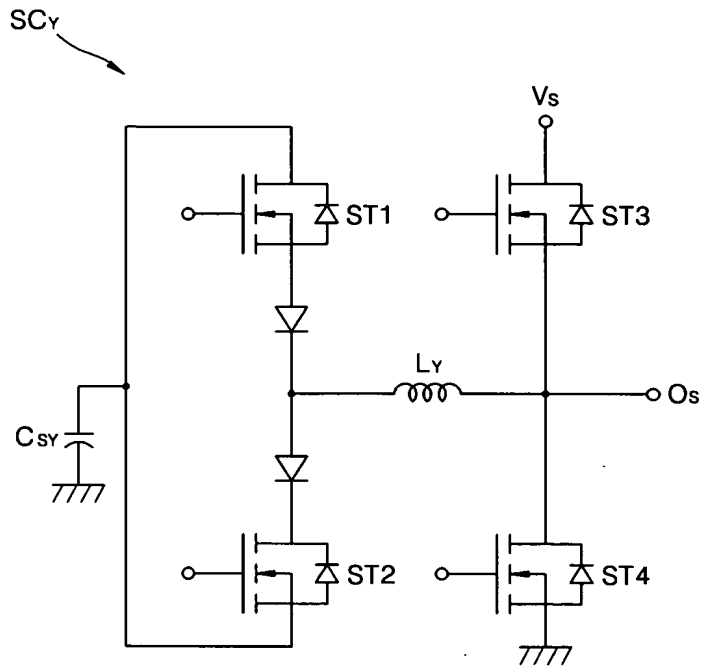
【도 10】



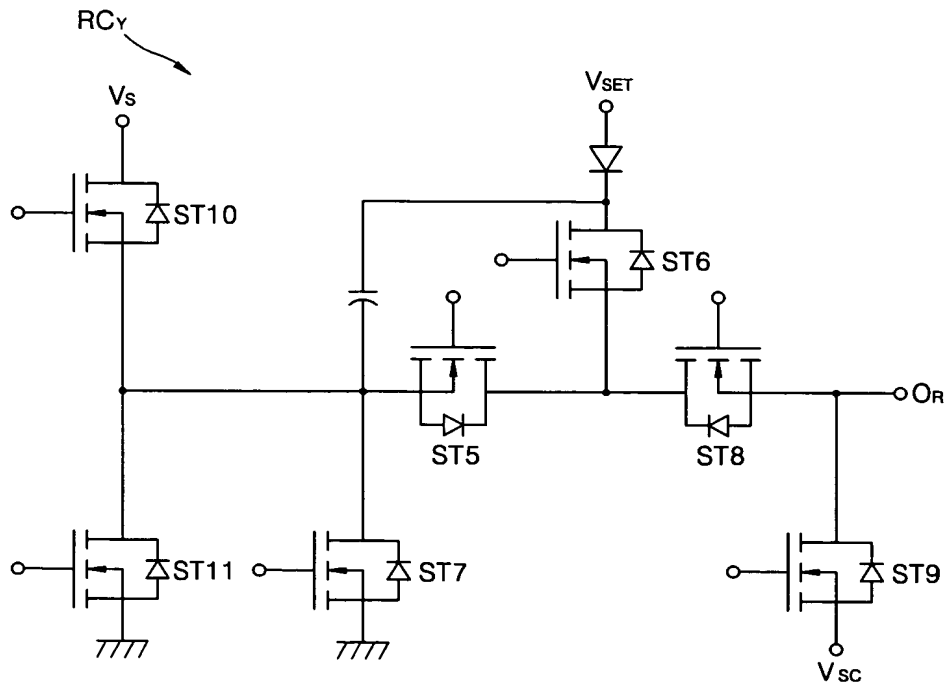
【도 11】



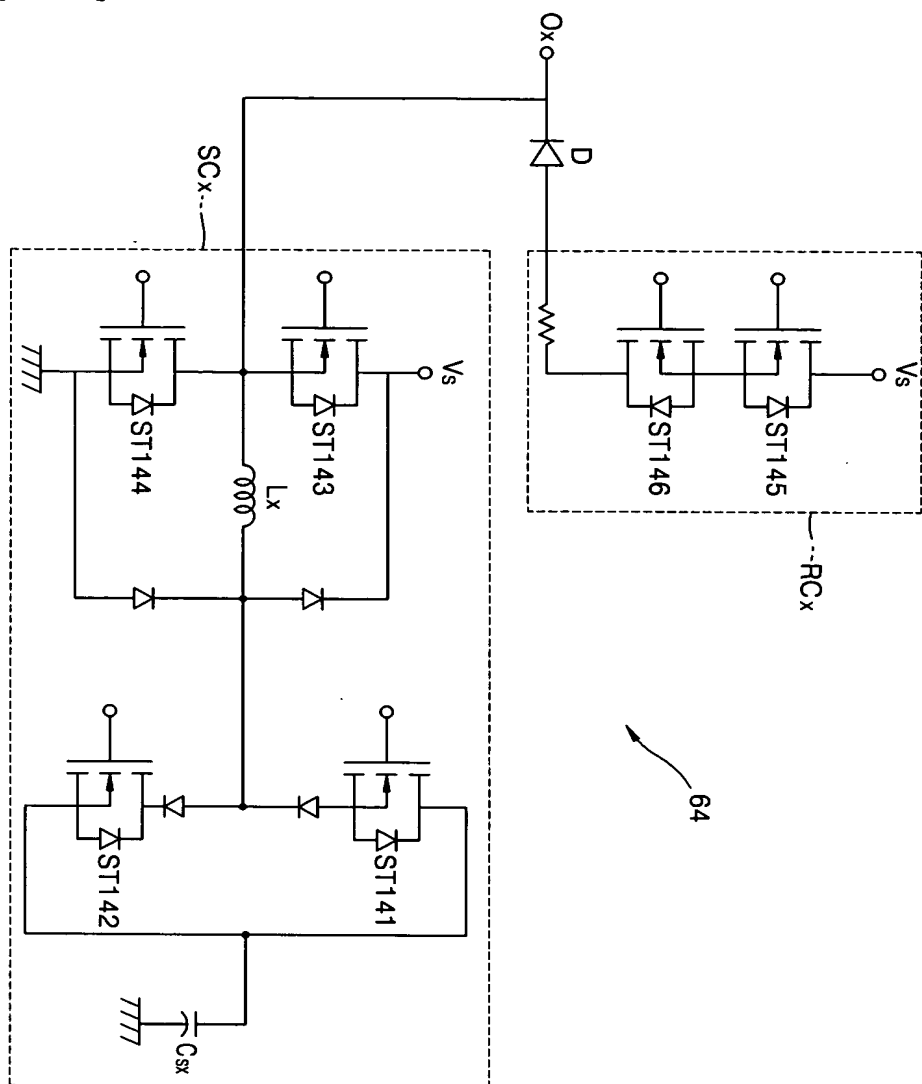
【도 12】



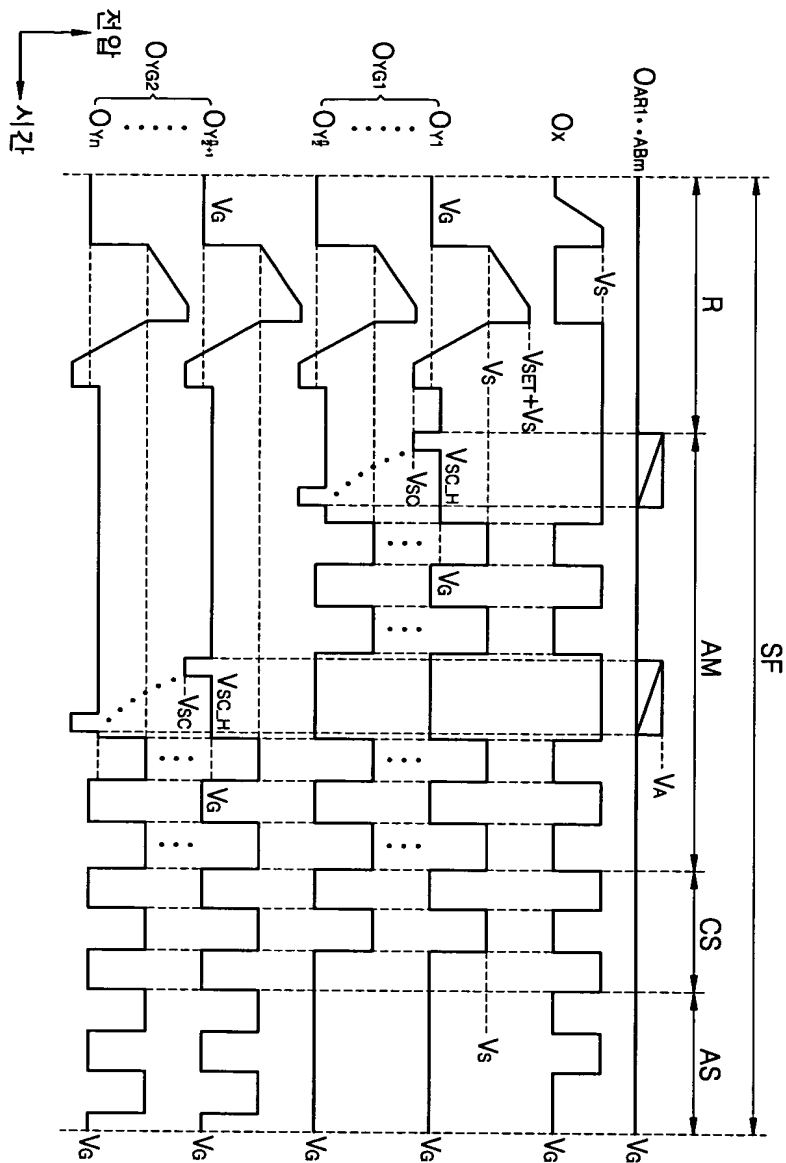
【도 13】



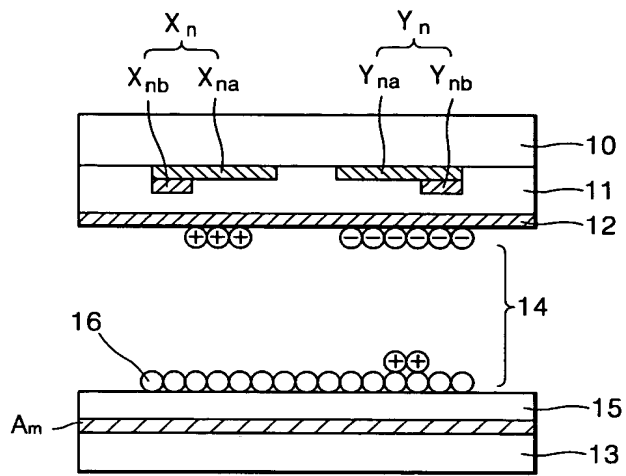
【도 14】



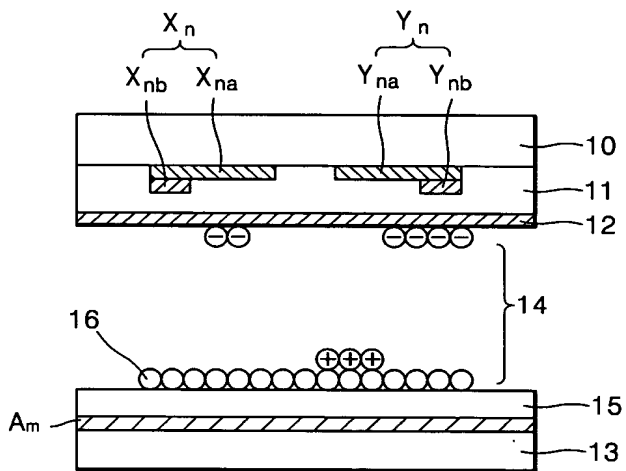
【도 15】



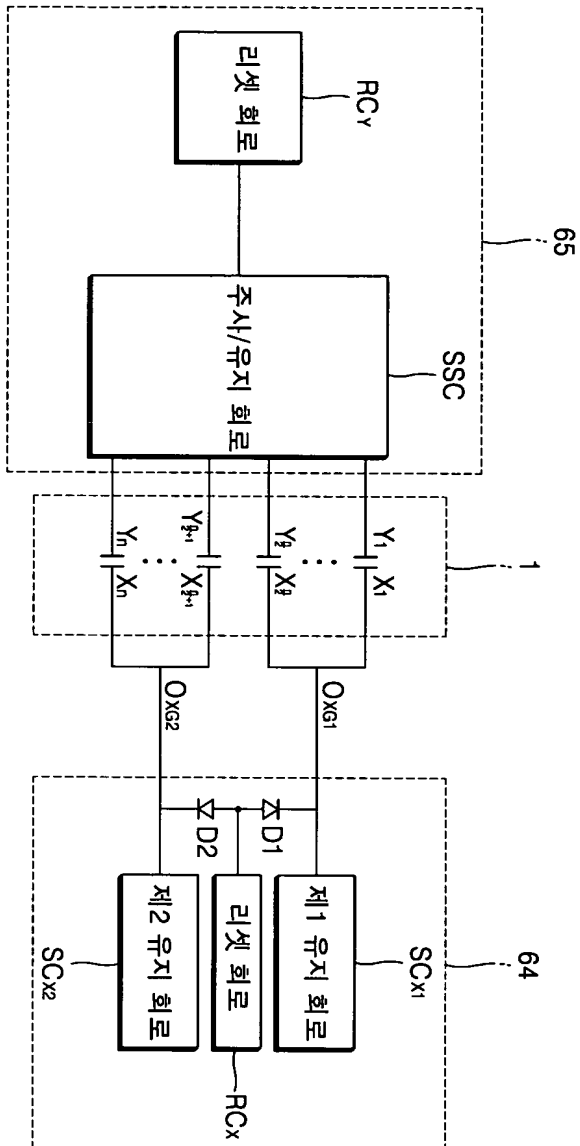
【도 16a】



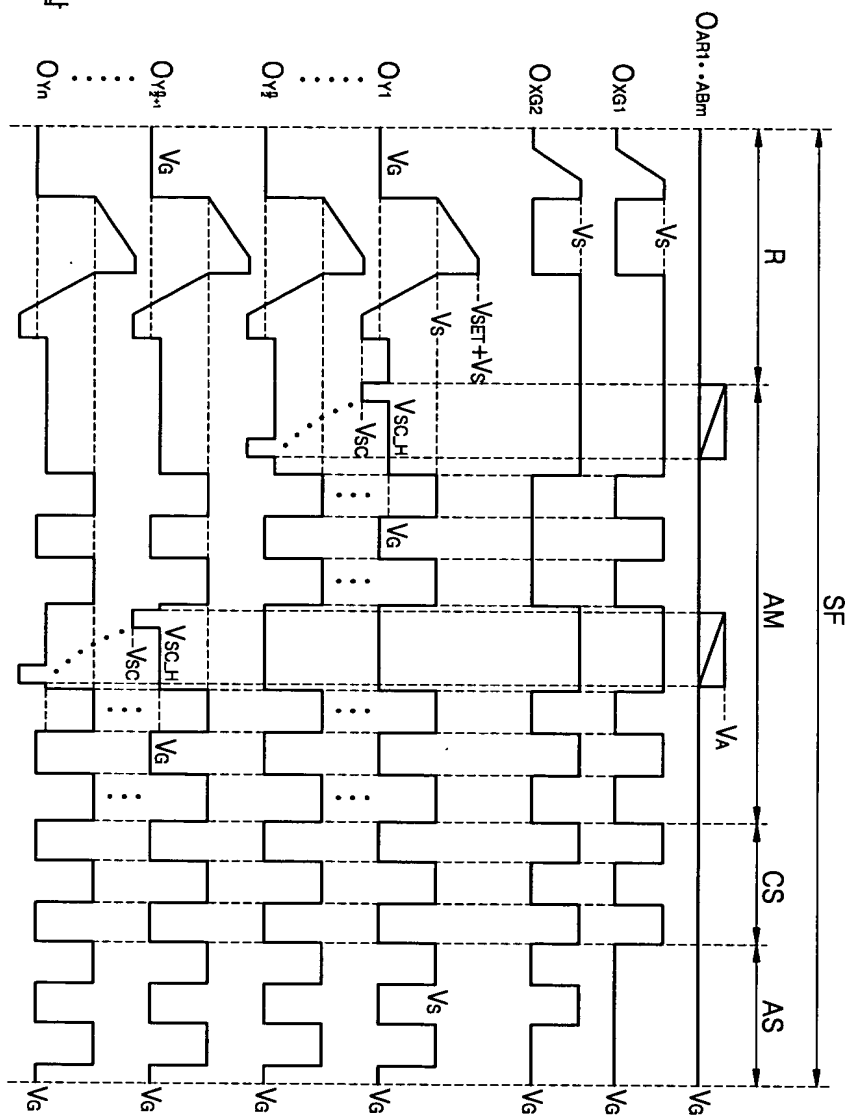
【도 16b】



【도 17】



전압
O_{yn}
시간



【도 19】

